

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 9 月 10 日 (10.09.2004)

PCT

(10) 国際公開番号
WO 2004/077560 A1(51) 国際特許分類:
25/11, 25/18, 23/12, H05K 3/46

H01L 25/10,

(74) 代理人: 田下 明人, 外(TASHITA, Akihito et al.); 〒460-0008 愛知県 名古屋市 中区 栄 1 丁目 2 番 6 号 Aichi (JP).

(21) 国際出願番号: PCT/JP2004/001233

(22) 国際出願日: 2004 年 2 月 5 日 (05.02.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-49252 2003 年 2 月 26 日 (26.02.2003) JP
特願2003-49253 2003 年 2 月 26 日 (26.02.2003) JP

(71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒503-0917 岐阜県 大垣市 神田町 2 丁目 1 番地 Gifu (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 苅谷 隆 (KARIYA, Takashi) [JP/JP]; 〒501-0695 岐阜県 揖斐郡 揖斐川町 北方 1 丁目 1 番地 イビデン株式会社内 Gifu (JP). 津田 明克 (TSUDA, Akiyoshi) [JP/JP]; 〒501-0695 岐阜県 揖斐郡 揖斐川町 北方 1 丁目 1 番地 イビデン株式会社内 Gifu (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

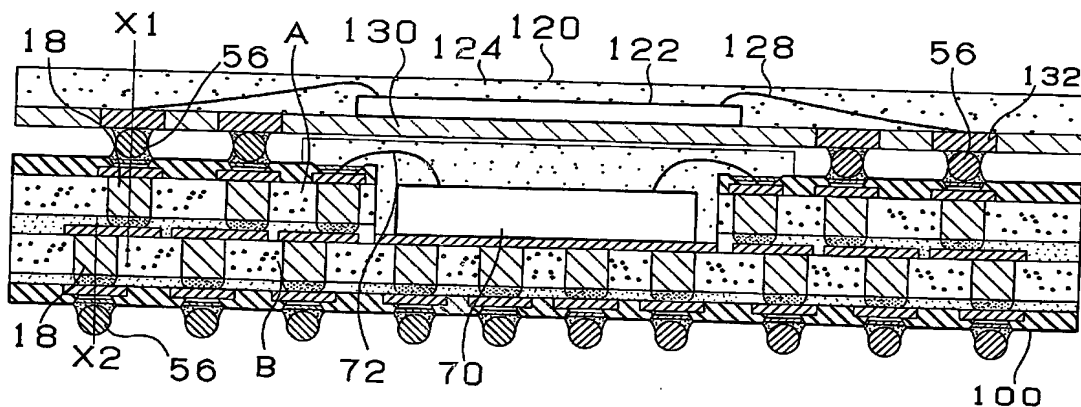
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MULTILAYER PRINTED WIRING BOARD

(54) 発明の名称: 多層プリント配線板



(57) Abstract: A multiplayer printed wiring board (100) consisting of one-sided circuit boards (A, B) to house an IC chip (70), and being capable of connecting an IC module (120) to a printed wiring board via a BGA (56) on the rear surface, with the BGAs (56) disposed on the front and rear surfaces and the IC module (120) mounted via a BGA (56) on the front surface. Accordingly, a freedom of configuring an IC module to be mounted is enhanced to allow mounting of various IC modules.

(57) 要約: 片面回路基板 A、B からなり、IC チップ 70 を収容する多層プリント配線板 100 は、表面及び裏面に BGA 56 が配置され、表面の BGA 56 を介して IC モジュール 120 を実装した状態で、裏面の BGA 56 を介してプリント配線板に接続することができる。このため、実装される IC モジュールの形態の自由度が増し、種々の IC モジュールを搭載することができる。

- 1 -

明 細 書

多層プリント配線板

5 技術分野

本発明は、ＩＣチップなどの電子部品を実装する多層プリント配線板に関し、特に、ＩＣチップを多層化することができ、かつ、応力などの影響を受けることのない多層プリント配線板に関するものである。

10 背景技術

片面に導体層を有し、ＩＶＨ（インナーバイアホール）構造からなる絶縁基板を多層化した技術が、提案されている（例えば、特開平１０－１３０２８号など）。それらは、一方の絶縁基板の導体層と他方の絶縁基板のバイアホールとを接続させることにより、電氣的に接続を行うものである。外層の導体回路

15 上にはＩＣチップ、コンデンサなどの電気部品を適時実装させることにより、その機能を発揮させる。従来技術としては特開平１０－１３０２８号公報がある。

第２４図に従来技術に係るＩＣチップ搭載用プリント配線板を示す。ここで、第２４図（Ａ）は平面図を、第２４図（Ｂ）は、第２４図（Ａ）のＢ－Ｂ断面を示している。第２４図（Ｂ）に示すようにプリント配線板を構成する基板

20 １１０は、ＩＣチップ１７０を収容するためのキャピティー１１０ａと、表面と裏面を接続するバイアホール１１８とを有している。バイアホール１１８のランド１１８ａには、矩形状のボンディングパッド１３６が一体に形成されている。バイアホール１１８の裏面側には、導体回路１３８を介して半田バンプ１５６が接続されている。バイアホールランド１１８ａと一体に形成されたボン

25 ディングパッド１３６は、先端がソルダーレジスト層１４０の開口１４４から突出することで外部に露出し、ＩＣチップ１７０の端子１７１とワイヤー１７２によりワイヤーボンディングされている。

ＩＣチップを実装した基板の薄膜化、高機能化が要求されている。その理由として、例えば、携帯電話、カメラ、パソコンなどの電子製品の筐体が、小型

30 化、薄膜化していることにある。それらの筐体に収めるためには、すべての材料、部品を薄くし、かつ、機能を低下させることがないようにしなければならない。そのため、ＩＣチップを多層化、積層（三次元実装）することを検討さ

- 2 -

れている。その技術としては、ＩＣチップ上に直接ＩＣチップを実装して、多層化、即ち、下層ＩＣチップ上に、ダイボンディングして上層ＩＣチップを実装することで積層している。積層した各ＩＣチップはワイヤーボンディングを経て接続させている。それにより、同一面積下において、高密度化と共に小型化を実現できる。

しかしながら、ＩＣチップを積層したものは、リペアすることができない。また、実装した後にワイヤーボンディングで接続を取るため、ワイヤーボンディングで接続を取った後でしかＩＣチップもしくは基板を検査することしかできない。そのために、ＩＣチップの内の１つでも不具合があると、実装された基板自体が使用することができないということになってしまう。

さらに、積層した回路の下部もしくはＩＣチップ間には、回路を形成しておらず、配線の引き回しをすることができない。そのために、クロック数などの増加に伴い、配線長が長くなることとなる。設計変更や仕様変更の際には、適時実装形成を検討しなければならない。

本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、構造的にも容易に多層化でき、設計などの仕様変更に耐え得る多層プリント配線板を提供することにある。

また、ＩＣチップを実装した基板において、配線密度を高めることが要求されている。このためには、ワイヤーボンディングを行うボンディングパッドを高密度で配置する必要がある。しかしながら、第２４図（Ａ）に示すように、ボンディングパッド１３６をバイアホールランド１１８ａと一体に形成する場合には、ボンディングパッド１３６の線幅よりも外形の大きなバイアホールランド１１８ａを配置するために、ボンディングパッドを高密度で配置することができなかった。

本願発明は、上述した課題を解決するためになされたものであり、その目的とするところは、ワイヤーボンディングの配線密度を高めることができる多層プリント配線板を提供することにある。

発明の開示

発明者が鋭意研究した結果、上記課題を解決するために、ＩＣチップなどの電子部品が実装され、外部端子を有する多層プリント配線板において、外部端子を両面に配置する構造を案出した。

- 3 -

該多層プリント配線板の両面から外部端子を接続するパッドを有していることから、その両面に別のプリント配線板などを接続することが可能となる。例えば、表面の外部端子を介して他のＩＣモジュールを実装した状態で、裏面の外部端子を介してプリント配線板に接続することができる。また、実装される

5 ＩＣモジュールの形態の自由度が増す。特に、ＩＣチップの直下にも外部端子が配設されていることが望ましい。それにより、配線の引き出す自由度が増すし、さらにＩＣチップの多層化、積層をすることをでき得る構造となる。配線面積を少なくするため、基板の小型化がなされる。

また、別の見方をすれば、該多層プリント配線板に形成される回路は、該基板上に実装されたＩＣチップに接続させ外部へと引き出されている回路（ＰＧＫ回路）と、ＩＣモジュールに接続され該多層プリント配線板を介して外部へ引き出される回路（インターポーザ回路）との２種類が混在している。それらを適時効率よく、接続させるためには、両面に外部端子を形成させる方が望ましい。インターポーザとＰＫＧ基板との２つの役目を一枚の基板で果たすこと

10 ができるのである。そのために、小型化、高機能化をすることができる。また、この場合、多層プリント配線板あるいは別の基板で不良を引き起こしたとしても、検査を行うことができ、多層プリント配線板に別の基板（ＩＣモジュール）を取り付ける前に対応できる。別の基板（ＩＣモジュール）を設計変更（例えば、メモリーであれば容量を変更した等の場合を意味する）したとしても、容易に適応することができる。

15 20

また、本発明は、ＩＣチップなどの電子部品が実装され、外部端子を有する多層プリント配線板において、実装エリアにザグリを有し、前記外部端子を両面に配置することを技術的特徴とする。ここで、外部端子とは、ＢＧＡ、ＰＧＡ、バンプ（半田もしくは金属）などの外部へ接続し得る端子を意味する。

25 ザグリが形成されていることから、その実装エリアにおける厚み（多層プリント配線板にＩＣチップを実装した状態での厚み）を薄くすることができる。さらに、ＩＣを多層化して実装しても封止樹脂を含めた基板自体の総厚みを薄くすることもできる。

また、上記の両面構造によると、例えば、該多層プリント配線板の片面に、

30 ＩＣチップを実装したプリント配線板を接続し、その反対面には、コンデンサなどのＩＣチップ以外の電子部品を実装した基板を接続させることができる。いわば、インターポーザ的な役目を果たすこともできる。両面に、ＩＣチップなどを含んだプリント配線板を接続する場合は、スタック構造（三次元実装）

- 4 -

となり得る。特に、I Cチップの下部領域でも外部端子を形成することが可能となる。

第13図に示すように、外部端子56の直下には、反対面の外部端子56が重ならないことが望ましい。ここで、(A1)、(B1)、(C1)は、第2図中の外部端子を拡大して示し、(A2)、(B2)、(C2)は、(A1)、(B1)、(C1)中の外部端子の斜視図である。この場合、外部端子が接触している領域の直下に、反対面の外部端子の接触している領域が重ならないことを意味している。それにより、外部端子に発生している応力などをダイレクトに伝わることを防止し、端子の位置ズレ、接触不良を防止し、電氣的な接続や信頼性を低下させることがない。そもそも外部端子は、主としてBGA（ボールグリッドアレイ）、バンプ等であるために、導電性バンプなどの外部端子と比べると接続箇所が小さく、応力が集中し易い。また、他のプリント配線板との材料等の熱膨張率が異なると、熱が加わる（例えば、ヒートサイクル条件下）などの外的な要因によって応力が発生し、その応力が反対面の外部端子へ伝わるが、基板もしくは外部端子において応力が緩和される。そのために、反対面の外部端子への影響を受けない。逆に応力がダイレクトに伝わると、反対面の外部端子の接続部において、剥がれ、クラックや、外部基板との接触不良などの不具合を引き起こす。

また、片面の外部端子および外部端子のパット領域（ランドを含む場合もある）の直下には、反対面の外部端子が重ならないことが望ましい。外部端子のパットの下部にめっき、導電性ペーストなどの導電性材料を充填したときには、パット領域までは、その応力の影響を受けてしまうことがあり、その領域を外して、反対面の外部端子の接続領域を配設することにより、確実に応力の影響を受けなくする。

電子部品の実装領域には、ビアが形成されていて、近接する部分に放熱機能を有する金属層が形成されていることが望ましい。特に、I Cチップ直下に金属層を設けて、該金属層にビア（非貫通孔）を介して外部端子に接続させることが望ましい。その構成にすることにより、外部端子に接続されたプリント配線板側へ熱を効率よく伝達させ、放熱することができるのである。

外部端子は、スタック状のバイアホールに接続され、かつ、外部端子に接続されるバイアホールは、第13図中に示すように、隣接層のバイアホールと中心線（X1、X2）をずらして配置されることが望ましい。

スタック構造直上に、外部端子を形成したものであると、外部端子を起因と

して発生した応力が直接基板内に伝達されるのである。そのために、基板内もしくは反対面の外部端子へとその応力の影響を受けるのである。基板内であれば、スタックビアの接続を阻害するし、反対面の外部端子であれば、接続不良を引き起こしてしまうのである。しかしながら、パイアホールの中心線からず

5 らして、スタック状にパイアホールを形成させると、その応力の伝達が緩衝されるのである。パイアホール内にめっき、導電性ペーストなどを充填したときに効力を発生する。導電性材料を充填させることで応力が伝わり易い状態になる。

本発明の多層プリント配線板は、絶縁材料に形成された非貫通孔に導電性材料が充填されて成る片面もしくは両面回路基板を2層以上積層し構成することが最適である。製造方法としては、サブトラ法、アディティブ法（ビルドアップ法含む）でも行えることができる。しかしながら、サブトラ法では、2層以上を貫通するスルーホールを有する構造により外部端子を配置したのである

10 ならば、応力を緩衝することができない。それ故に、適用することができない場合がある。

また、ビルドアップ法であれば、心材が含有されない樹脂絶縁層を用いたならば、ザグリ部分を形成することは、樹脂絶縁材料での形状を安定化させることが難しいので、適用することができない場合がある。

片面回路を用いることが望ましい。片面もしくは両面回路基板を接続させる導電性バンプの融点は、外部端子の接着剤（例えば、BGAの接着用半田）の融点よりも高いことが望ましい。それにより、導電性バンプの溶解自体を防止することができるのである。その逆に、導電性バンプの融点が外部端子の接着剤の融点よりも低い場合、外部端子を実装する際、その温度では、導電性バンプがかなりの部分で溶解してしまうために、基板内で流動してしまう。流動する範囲が大きいと導電性バンプを原因として隣の導体層とショートを引き起こしてしまう。一方、流動する範囲が小さいと、基板間で応力が発生してしまう。その応力が緩和されないと位置ズレを引き起こされてしまう。そのために、導電性バンプの厚みが薄くなり、密着強度や電気特性が低下してしまう。

20

25

特に、融点は200℃を以上、350℃以下であるものが望ましい。200℃未満では、表層の半田との融点の差が小さい、あるいは、低くなるために、ICチップを実装する際、溶解、拡散などを引き起こし、隣にある独立した導体回路と短絡してしまうことがある。350℃を超えると、金属自体が硬くなりすぎてしまい、接続性が低下する。そのために、導体回路との接合ができなく

30

なってしまうことがある。また、その温度で融解しようとする、絶縁材料である樹脂が、溶解してしまうために、絶縁材料での絶縁性が低下してしまう。

さらに、220℃～320℃の範囲ものがより望ましい。その範囲であれば、高温高湿下、ヒートサイクル条件化などの信頼性試験においても、導電性バン

5 プが拡散することがない。Sn/Pb、Sn/Ag、Su/Cu、Sn/Zn、Sn/Sb、Sn/Ag/Cuなどの半田や、スズ、鉛などの金属を導電性バン

10 プとして用いることができる。このとき融点が200℃以上350℃以下であることが望ましい。

前述の導電性バンパ内にCu、ZnもしくはSbが配合されていることにより、金属自体の流動を抑えることができるのである。つまり、一旦再固化した

10 金属にCu合金、Zn合金もしくはSb合金が形成される。その合金がICチップの実装時などの熱の影響を受けて溶解することを防止し、導電性金属の拡散などの不具合を抑えるのである。そのために、ショートすることがなくなり、電気特性を向上させることができるのである。

15 また、ヒートサイクル試験、高温放置などの信頼性試験のとき、特に昇温時（低温⇒高温）あるいは高温下で放置させても、導電性金属の固化の再溶解することを抑制される。そのために信頼性試験も向上させることができる。

また、信頼性試験後の導体層とバイアホールとの密着強度が低下しない。そのために、電気特性も低下することがなくなるので、電気特性を向上させること

20 ができる。さらにCu、ZnもしくはSb含有の導電性金属では金属自体の流動性が抑えられる。そのため、バイアホールピッチをさらに狭くすることができ、高密度化した多層プリント配線板を得ることが可能になる。

また、発明者が鋭意研究した結果、上記課題を解決するために、実装する電子部品に対してボンディングパッドからワイヤーボンディングする多層プリン

25 ト配線板において、

絶縁材料の片面もしくは両面に導体回路が形成され、導体回路へ至る非貫通孔に導電性材料が充填された基板で、

前記非貫通孔の直上の導体回路を前記ボンディングパッドとして用いることを技術的特徴とする。

30 また、実装する電子部品に対してボンディングパッドからワイヤーボンディングする多層プリント配線板において、

絶縁材料の片面もしくは両面に導体回路が形成され、導体回路へ至る非貫通孔に導電性材料が充填された基板を、非貫通孔に充填された導電性材料上に形

- 7 -

成された導電性バンプを介して積層することで形成され、

前記非貫通孔に充填された導電性材料の直上の導体回路を前記ボンディングパッドとして用いることを技術的特徴とする。

5 本発明では、非貫通孔に充填された導電性材料の直上の導体回路をボンディングパッドとして用いることで、該導体回路から基板の外側に向かって導体回路を引き出すことなく、非貫通孔を介して下層へ配線を引き出すことができ、非貫通孔であるため、貫通孔であるスルーホールのように全層に渡ってスルーホールエリアを取ることがなく、その後も自由に配線を配置することができる。それ故に、ボンディングパッド領域の配線が高密度にできるにも関わらず、その周囲は、無理な配線形成によるデッドスペースが要らなくなり、配線の自由10 度が増す。

更に本発明は、実装する電子部品に対してボンディングパッドからワイヤーボンディングする多層プリント配線板において、

15 絶縁材料の片面もしくは両面に導体回路が形成され、導体回路へ至る非貫通孔に導電性材料が充填された基板で、

前記非貫通孔の直上の導体回路を前記ボンディングパッドとして用いて、前記ボンディングパッドの直下に非貫通孔を配置したことを技術的特徴とする。

また、実装する電子部品に対してボンディングパッドからワイヤーボンディングする多層プリント配線板において、

20 絶縁材料の片面もしくは両面に導体回路が形成され、導体回路へ至る非貫通孔に導電性材料が充填された基板で、非貫通孔に充填された導電性材料上に形成された導電性バンプを介して積層され、

前記非貫通孔の直上の導体回路を前記ボンディングパッドとして用いて、前記ボンディングパッドの直下に非貫通孔を配置したことを技術的特徴とする。

25 本発明では、非貫通孔に充填された導電性材料に直接接続された導体回路をボンディングパッドとしてある。即ち、導体回路（ボンディングパッド）に至る非貫通孔に導電性材料を充填することで、導体回路（ボンディングパッド）とバイアホールとを接続してあるので、導電性材料（バイアホール）と導体回路（ボンディングパッド）とをバイアホールランドを介することなく接続できる。ボンディングパッドの線幅よりも直径の大きなバイアホールランドを用い30 ないため、配線密度を高めることができる。

該導体回路から基板の外側に向かって導体回路を引き出すことなく、非貫通孔を介して下層へ配線を引き出すことができ、非貫通孔であるため、貫通孔で

あるスルーホールのように全層に渡ってスルーホールエリアを取ることがなく、その後も自由に配線を配置することができる。それ故に、ボンディングパッド領域の配線が高密度にできるにも関わらず、その周囲は、無理な配線形成によるデッドスペースが要らなくなり、配線の自由度が増す。

- 5 導電材料としては、めっき、導電性ペーストを用いることができる。めっきを用いることが望ましい。導電ペーストは、ワイヤーを打った後にへこみを生じることがあるからである。

(Cu含有金属バンプ)

- 10 導電性バンプ内にCuが配合されていることにより、金属自体の拡散を抑えることができるのである。つまり、一旦固化した導電性バンプの金属にCu合金が形成される。その合金が基板にかかる様々な熱履歴（例えば、アニール処理、めっき処理、ICチップ実装工程など）の影響を受けても金属溶解を防止し、導電性バンプ金属の拡散などの不具合を抑える。そのために、抵抗変化や

- 15 また、高温放置、ヒートサイクル試験などの信頼性試験のとき、特に高温下での放置あるいは昇温（低温⇒高温）させても、固化した導電性バンプの再溶解や拡散を抑制させる。

- 20 さらに、導電性バンプと導体部分の界面への水分の浸入を抑制させるので、界面における水分を起点とする膨張、収縮が発生することがなくなる。界面付近における部分的な電氣的な絶縁状態（該水分が隙間を形成させることを意味する）を作り出さないの、電氣的な接続性が確保される。そのために信頼性試験も向上させることができるのである。

- 25 さらに、信頼性試験後の導体層とバイアホールとの間には、水分が浸入しないことから密着強度が低下しない。水分が浸入すると、温度上昇した際、その水分が起点となり膨らむことがある。そのために、隙間を形成したり、クラックなどが発生したりしてしまい、密着性が低下してしまう。その発生がないために、接触性の低下による強度低下がなくなり、信頼性を向上させることができる。

- 30 さらにCu含有の導電性金属では金属自体の拡散性が抑えられる。そのため、バイアホールピッチをさらに狭くすることができるので、高密度化した多層プリント配線板を得ることが可能である。

固化した導電性金属と導体回路との界面には、Cu-導電性金属からなる合金層が形成されている。その合金膜の形成が保護膜となり、該導電性金属のそ

他の部分の金属の流動を防止しているのである。また、その膜の形成により、熱履歴や熱工程などの熱の影響を受けたとしても、新たなCu合金の形成、特に導体回路での形成を防止されるので、導電性金属の流動を抑えられるのである。

5 前述の導電性バンプには、Sn-Pb-Cu、Sn/Cu、Sn/Ag/Cu、Sn/Ag/In/Cu、Sn/Cu/Znのいずれか1つを用いられていることが望ましい。これらには、Cuが配合されているので、導電性バンプを用いることで上記作用、効果を得られる。

10 また、鉛を用いる金属材料は、環境を悪化させる要因となるために、使用に対する制限がされているため、鉛を用いない金属材料を用いることが望ましい。しかしながらこれ以外の半田の組成であってもCuを配合されているものであれば用いることができるのである。前述の導電性バンプにおけるCuの配合比が0.1~7wt%であることが望ましい。

15 0.1wt%未満であると、固化した後のCu合金の形成が少ないため、再溶解した際に、導電性バンプの流動を抑えられない。そのために隣り合う別の導体層とで接続が発生しやすい。また、導電性金属と導体回路の界面において、その一部分でCu合金膜が形成されない箇所が発生してしまう。そのCu合金膜非形成部分から、導電性金属の溶解、拡散が発生してしまう。7wt%を超えると、融点が高くなり、熱をかけたとしても溶解しにくくなる。そのために、
20 導電性バンプ自体が硬くなってしまう。導体層とバイアホールを接触させたとき、その硬くなってしまうので、導体部分において、接触しないことや導体にクラックが発生したりするために、電気接続性や密着性が低下してしまうことがある。

25 上述の範囲であれば、導電性バンプでの流動性を抑えられ、適切にCu合金を形成させることができ、導体との密着性も確保することができるのである。

さらに、導電性バンプにおけるCuの配合比が0.5~5wt%であることが望ましいのは、もっとも密着強度が増すことができるのである。また、硬度的にも適度なものであり、導体間で均一に広がることができるので、電気接続性も向上させられる。さらに導電性バンプを有しているバイアホールを埋めた
30 導電性金属の種類（めっき、導電性ペースト、それらの複合体など）によらず、密着性を向上させることができる。

(Zn含有金属バンプ)

導電性バンプ内にZnが配合されていることにより、金属自体の拡散を抑え

ることができる。つまり、一旦固化した導電性バンプの金属にZn合金が形成される。その合金が基板にかかる様々な熱履歴（例えば、アニール処理、めっき処理、ICチップ実装工程など）の影響を受けても金属溶解を防止し、導電性バンプ金属の拡散などの不具合を抑えるのである。そのために、抵抗変化や
5 ショート、電気性能劣化を抑え、電気特性を向上させることができる。

また、高温放置、ヒートサイクル試験などの信頼性試験のとき、特に高温下での放置あるいは昇温（低温⇒高温）させても、固化した導電性バンプの再溶解、拡散を抑制させれる。

さらに、導電性バンプと導体部分の界面へのZnもしくはZn合金層が導体
10 回路の金属などの浸入を抑制する。つまり、Zn層がバリア層の役目を果たしているのである。その界面における異種物質が形成されると、その部分は他の部分と比較すると融点や熱膨張の異なるものが形成されるのである。そのためにその異種物質を起点とする膨張、収縮が発生してしまい、界面付近における部分的な応力が発生してしまうために、絶縁性が確保されないのである。その
15 ために信頼性も低下してしまうのである。

さらに、信頼性試験後の導体層とパイアホールとの間には、水分が浸入しないことから密着強度が低下しない。水分が浸入すると、温度上昇した際、その水分が起点となり膨らむことがある。そのために、隙間を形成したり、クラックなどが発生したりしてしまい、密着性が低下してしまう。その発生がないために接触性低下による強度低下がなくなり、信頼性を向上させることができる。
20

さらにZn含有の導電性金属では金属自体の拡散性が抑えられる。融点が高くなりやすいからである。そのため、パイアホールピッチをさらに狭くすることができ、高密度化した多層プリント配線板を得ることが可能である。

固化した導電性金属と導体回路との界面には、Zn-導電性金属からなる合金層が形成されている。その合金膜の形成が保護膜となり、該導電性金属のその他の部分の金属の流動を防止する。また、その膜の形成により、熱履歴や熱工程などの熱の影響を受けたとしても、新たなZn合金の形成、特に導体回路での形成を防止されるので、導電性金属の流動を抑えられる。
25

前述の導電性バンプには、Sn/Zn、Sn/Ag/Zn、Sn/Cu/Znのいずれか1つを用いられていることが望ましい。これらには、Znが配合されているので、導電性バンプを用いることで上記作用、効果が得られる。
30

また、鉛を用いる金属材料は、環境を悪化させる要因となるために、使用に対する制限がされているため、鉛を用いない金属材料を用いることが望ましい。

- 11 -

しかしながらこれ以外の半田の組成であってもZnを配合されているものであれば用いることができる。

前述の導電性バンプにおけるZnの配合比が0.1～10wt%であることが望ましい。

5 0.1wt%未満であると、固化した後のZn合金の形成が少ないため、再溶解した際に、導電性バンプの流動を抑えられない。そのために隣り合う別の導体層とで接続が発生しやすい。また、導電性金属と導体回路の界面において、その一部分でZn合金膜が形成されない箇所が発生してしまう。そのZn合金膜非形成部分から、導電性金属の溶解、拡散が発生してしまう。

10 10wt%を超えると、融点が高くなり、熱をかけたとしても溶解しにくくなる。そのために、導電性バンプ自体が硬くなってしまう。導体層とバイアホールを接触させたとき、その硬くなってしまうので、導体部分において、接触しないことや導体にクラックを発生したりするために、電気接続性や密着性が低下してしまうことがある。

15 上述の範囲であれば、導電性バンプでの流動性を抑えられて、導体との密着性も確保することができるのである。さらに、導電性バンプにおけるZnの配合比が0.5～9wt%であることが望ましいのは、もっとも密着強度が増すことができるのである。また、硬度的にも適度なものであり、導体間で均一に広がることができるので、電気接続性も向上させることができる。さらに導電性バンプを有しているバイアホールを埋めた導電性金属の種類（めっき、導電性ペースト、それらの複合体など）によらず、密着性を向上させることができる。

20 また、アンチモンを含有したものをを用いてもよい。その場合は、アンチモンが亜鉛を配合したときと同じ役目を果たしている。つまり、アンチモンがバリア層の役目を果たして、銅との合金層の形成を阻害しているのである。アンチモンの配合比は、0.1～10%であることが望ましい。0.1wt%未満であると、固化した後のアンチモン合金の形成が少ないため、再溶解した際に、導電性バンプの流動することを抑えられない。そのために隣り合う別の導体層との接続が発生しやすい。また、導電性金属と導体回路の界面において、その一部分でアンチモン合金膜が形成されない箇所が発生してしまう。そのアンチモン合金膜非形成部分から、導電性金属の溶解、拡散が発生してしまう。

30 10wt%を超えると、融点が高くなり、熱をかけたとしても溶解しにくくなる。そのために、導電性バンプ自体が硬くなってしまう。導体層とバイアホ

ールを接触させたとき、その硬くなってしまうので、導体部分において、接触しないことや導体にクラックを発生したりするために、電気接続性や密着性が低下してしまうことがある。上述の範囲であれば、導電性バンプでの流動性を抑えて、導体との密着性も確保することができる。

- 5 それ以外にもSn/Pb、Sn/Ag、Sn/Ag/Cu等の一般的に適用される半田ペーストもしくは導電性ペーストをなどを用いてもよい。

(片面回路基板の概要説明)

- 10 本発明に係る多層プリント配線板を構成する基本単位としての片面回路基板は、絶縁性基材として、完全に硬化した樹脂材料から形成される硬質の片面銅箔付き樹脂基材を用いることが望ましい。このような基板の採用によって、多層化するための加熱プレスによって他の片面回路基板と圧着される際に、プレスによる絶縁性基材の最終的な寸法の変動がなくなる（収縮がない）ので、ビアホール
- 15 の位置ずれを最小限度に抑えて、ビアランド径を小さくできる。したがって配線ピッチを小さくして配線密度を向上させることができる。また、基材の厚みを実質的に一定に保つことができるので、後述するような充填バイアホール形成用の開口をレーザ加工によって形成する場合には、そのレーザ照射条件の設定が容易となる。

- 20 このような絶縁性樹脂基材として、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布-エポキシ樹脂基材、アラミド不織布-ポリイミド樹脂基材から選ばれる硬質基材が使用されることが好ましく、ガラス布エポキシ樹脂基材が最も好ましい。それ以外にも、熱可塑性樹脂にポリイミドなどの熱硬化性樹脂、それらの複合体、感光性樹脂、光硬化性樹脂を用いてもよい。絶縁性樹脂
- 25 基材の樹脂中にガラス、アルミナ、ジルコニア等の無機フィラーが分散していてもよい。

- 30 また、上記絶縁性基材の厚さは、20～600μmが望ましい。その理由は、20μm未満の厚さでは、強度が低下して取扱いが難しくなるとともに、電氣的絶縁性に対する信頼性が低くなるからである。また、ザグりを形成させたときの形状保持性が低下してしまうときがあるからである。600μmを超えると、微細なバイアホール形成用開口が難しくなると共に、基板そのものが厚くなるためである。

上記絶縁性基材の片面に形成される導体層あるいは導体回路は、絶縁性基材上に適切な樹脂接着剤を介して銅箔を貼付し、その銅箔をエッチング処理する

ことによってそれぞれ形成される。

すなわち、上記導体層は、厚さが5～50 μm の銅箔を、半硬化状態を保持された樹脂接着剤層を介して絶縁性基材上に加熱プレスすることによって形成し、また導体回路は、銅箔を加熱プレスした後、銅箔面に感光性ドライフィルムを貼付するか、液状感光性レジストを塗布した後、所定の配線パターンを有するマスクを載置し、露光・現像処理することによってめっきレジスト層を形成し、その後、エッチングレジスト非形成部分の銅箔をエッチング処理することによって形成されるのが望ましい。

導体回路を形成させた後に、ルーター、レーザ、パンチングなどで開口を形成させる。その開口の大きさとして、個片である基板にした場合において、基板の面積に対して、10～70%であることが望ましい。10%未満では、ザグリの形成領域が小さいために、形成するメリットが小さくなる。70%を超えると、プレスなどのおける強度が保てないし、外部端子の形成する領域が小さくなるので、実装するICチップが制限される要因になってしまう。

上記銅箔の絶縁性基材上への加熱プレスは、適切な温度および加圧力のもとで行なわれ、より好ましくは、減圧下において行なわれ、半硬化状態の樹脂接着剤層のみを硬化することによって、銅箔を絶縁性基材に対してしっかりと接着され得るので、従来のプリプレグを用いた回路基板に比べて製造時間が短縮される。

このとき、ザグりを形成した場合には、ザグリ部分を保護するためとその界面部分における接着剤の流動を防止するために、保護フィルムを用いるなどして行う方が望ましい。

なお、このような絶縁性基材上への銅箔の貼付に代えて、絶縁性基材上に予め銅箔が貼付された片面銅張積層板を採用し、その片面銅張積層板を硫酸・過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも1種によりエッチング処理して導体回路を形成することもできる。

上記導体回路の各バイアホールに対応した表面には、導体回路の一部としてのランド(パッド)が、その口径が50～250 μm の範囲に形成されるのが好ましい。

また、バイアホールをスタックで積層する場合には、バイアホールの中心線からずらして形成させるほうが望ましい。それにより、スタック構造で伝達される応力を緩衝することができるのである。

上記導体回路の配線パターン表面に粗化層を形成し、回路基板相互を接合す

- 14 -

る接着剤層との密着性を改善し、剥離（デラミネーション）の発生を防止することが好ましい。

粗化处理方法としては、例えば、ソフトエッチング処理や、黒化（酸化）還元処理、銅－ニッケル－リンからなる針状合金めっき（荏原ユージライト製：商品名インタープレート）の形成、メック社製の商品名「メックエッチボンド」なるエッチング液による表面粗化がある。

このような導体回路が形成された絶縁性樹脂基材の表面と反対側の表面から、導体回路に達するように形成されるバイアホール形成用開口は、パルスエネルギーが0.5～100mJ、パルス幅が1～100 μ s、パルス間隔が0.5ms以上、ショット数が3～50の条件で照射される炭酸ガスレーザによって形成されることが好ましく、その開口径は、50～250 μ mの範囲であることが望ましい。

その理由は、50 μ m未満では開口に導電性物質を充填し難くなると共に、接続信頼性が低くなるからであり、250 μ mを超えると、高密度化が困難になるからである。

このような炭酸ガスレーザによる開口形成の前に、絶縁性基材の導体回路形成面と反対側の面に樹脂フィルムを粘着させ、その樹脂フィルム上からレーザ照射を行うのが望ましい。

この樹脂フィルムは、バイアホール形成用の開口内をデスミア処理し、そのデスミア処理した後の開口内に電解めっき処理によって金属めっきを充填する際の保護マスクとして機能し、またバイアホールの金属めっき層の直上に突起状導体（導電性バンプ）を形成するための印刷用マスクとして機能する。

上記樹脂フィルムは、たとえば、粘着剤層の厚みが1～20 μ mであり、フィルム自体の厚みが10～50 μ mであるPETフィルムから形成されるのが好ましい。

その理由は、PETフィルムの厚さに依存して後述する突起状導体の高さが決まるので、10 μ m未満の厚さでは突起状導体が低すぎて接続不良になりやすく、逆に50 μ mを超えた厚さでは、接続界面で突起状導体が拡がりすぎるので、ファインパターンの形成ができないからである。

上記バイアホール形成用開口内に導電性物質を充填してバイアホールを形成するには、めっき充填や導電性ペースト充填が望ましい。

充填工程をシンプルにして、製造コストを低減させ、歩留まりを向上させるためには、導電性ペーストの充填が適しているが、ペースト内の組成比（導電

性金属、樹脂、硬化剤など) によっては硬化収縮が大きくなりすぎてしまうことがある。それよりも充填したときの形状や接続信頼性の点ではめっき充填が望ましい。

5 上記めっき充填は、電解めっき処理または無電解めっき処理のいずれによっても行うことができるが、電解めっき処理によって形成される金属めっき、たとえば、すず、銀、半田、銅／すず、銅／銀等の金属めっきが好ましく、とくに、電解銅めっきが最適である。

10 電解めっき処理により充填する場合は、上記絶縁性基材の銅箔貼付面（導体回路形成面）に予め保護フィルムを粘着させた状態で、絶縁性基材に形成された銅箔をめっきリードとして電解めっきを行う。この銅箔（金属層）は、絶縁性基材の一方の表面の全域に亘って形成されているため、電流密度が均一となり、ビアホール形成用開口を電解めっきにて均一な高さで充填することができる。

15 ここで、電解めっき処理の前に、非貫通孔内の金属層の表面を酸などで活性化処理しておくといよい。

また、電解めっきした後、開口縁から盛り上がった電解めっき（金属）を、ベルトサンダー研磨やバフ研磨等により除去して、平坦化することが望ましい。

20 さらに、めっき処理による導電性物質の充填の代わりに、導電性ペーストを充填する方法、あるいは電解めっき処理又は無電解めっき処理によって開口の一部を充填し、残存部分に導電ペーストを充填して行うこともできる。

上記導電性ペーストとしては、銅、スズ、金、銀、ニッケル、各種半田から選ばれる少なくとも1種以上の金属粒子からなる導電性ペーストを使用できる。

25 また、上記金属粒子としては、金属粒子の表面に異種金属をコーティングしたのも使用できる。具体的には銅粒子の表面に金、銀から選ばれる貴金属を被覆した金属粒子を使用することができる。

なお、導電性ペーストとしては、金属粒子に、エポキシ樹脂などの熱硬化性樹脂、ポリフェニレンスルフィド（PPS）樹脂を加えた有機系導電性ペーストが望ましい。

30 上記レーザ加工によって形成された開口は、その孔径が20～150 μ mの微細径であるため、導電ペーストを充填する場合には、気泡が残り易いので、電解めっきによる充填が実用的である。

上述した片面回路基板に形成されるビアホールは、その配置密度が、LSIチップ等を搭載すべく外側に積層された片面回路基板については最も大きく、

マザーボードに接続されるべく外側の他の片面回路基板については最も小さくなるように形成される、すなわち、積層される各回路基板に形成されるバイアホール間の距離は、LSIチップ等を搭載する側の回路基板からマザーボードに接続される側の回路基板に向かうにつれて大きくなるように形成されることが好ましく、このような構成によれば、配線の引き回し性が向上する、

本発明による多層プリント配線板を製造する上で、積層される基本単位となる片面回路基板には、バイアホール上に突起状導体、すなわち導電性バンプを設けて、他の片面回路基板との電氣的接続を確保するように構成することが望ましい。

10 この導電性バンプは、レーザ照射によって形成された保護フィルムの開口内に、めっき充填または導電性ペーストを充填することによって形成されることが望ましい。

上記めっき充填は、電解めっき処理または無電解めっき処理のいずれによっても行うことができるが、電解めっき処理が望ましい。

15 電解めっきとしては、銅、金、ニッケル、スズ、各種半田等の低融点金属を使用できるが、スズめっき又は半田めっきが最適である。

上記導電性バンプの高さとしては、 $3 \sim 60 \mu\text{m}$ の範囲が望ましい。この理由は、 $3 \mu\text{m}$ 未満では、バンプの変形により、バンプの高さのばらつきを許容することができず、また、 $60 \mu\text{m}$ を越えると抵抗値が高くなる上、バンプを形成した際に横方向に拡がってショートの原因となるからである。

20 上記導電性バンプを導電性ペーストの充填によって形成する場合には、バイアホールを形成する電解めっきの高さのばらつきは、充填される導電性ペースト量を調整することにより是正され、多数の導電性バンプの高さを揃えることができる。

25 この導電性ペーストからなるバンプは、半硬化状態であることが望ましい。導電性ペーストは、半硬化状態でも硬く、熱プレス時に軟化した有機接着剤層を貫通させることができるからである。また、熱プレス時に変形して接触面積が増大し、導通抵抗を低くすることができるだけでなく、バンプの高さのばらつきを是正することができるからである。

30 この他に、例えば、導電性ペーストを所定位置に開口の設けられたメタルマスクを用いてスクリーン印刷する方法、低融点金属である半田ペーストを印刷する方法の他、半田熔融液に浸漬する方法、無電解もしくは電解めっきによって導電性バンプを形成することができる。

上記低融点金属としては、Sn-Ag系、Sn-Sb系半田、Sn-Pb系半田、Sn-Zn系半田、Sn-Pb-Cu系半田、Sn-Cu系半田、Ag-Sn-Cu系半田、In-Cu系半田、Sn-Cu-Zn等のCuを配合したものをを用いることがよい。具体的なものとしては、Sn/Pb/Cu、Sn/Cu、Sn/Ag/Cu、Sn/Ag/In/Cu、Sn/Cu/Zn、Sn/Zn、Sn/Sb、Sn/Sb/In、あるいはスズ、鉛等の金属が挙げられる。基本的には、半田内にCu、ZnあるいはSbが配合されたものをを用いることが望ましい。導電性ペーストの流動性を抑えることができ、高温高湿条件下やヒートサイクル条件下などの信頼性試験においても他のものよりも電気的な接続性や信頼性で優れているのである。

本発明にかかる多層プリント配線板は、上述したような、絶縁性基材の片面に導体回路が形成されてなる片面回路基板の複数枚が、所定の方向に積層されてなり、それらの片面回路基板のうち、内側に配置された片面回路基板の導電性パンプ側の表面に対して、一面がマット処理されてなる銅箔が、そのマット面を対向させた状態で圧着され、かつエッチング処理によって所定の配線パターンを有する導体回路に形成されている。

上記銅箔のマット面は、それ自体公知であるエッチング処理や、無電解めっき処理、酸化還元処理等によって形成することが望ましく、特に、エッチング処理によって形成することが望ましい。

上記エッチング処理としては、塩化第二銅、塩化第二鉄、過硫酸塩類、過酸化水素/硫酸、アルカリエッチャント、有機酸と第二銅錯体等の薬液を主剤としたエッチング液があり、

上記無電解めっき処理としては、銅、ニッケル、アルミなどの単層の無電解めっき、置換めっき、銅-ニッケル-リンなどの複合めっきなどがあり、

上記酸化還元処理としては、黒化浴とナトリウムなどのアルカリ浴である還元浴で行う処理がある。

上記マット処理された銅箔と絶縁性樹脂基材との間の密着性は、樹脂粘度や、銅箔の厚さ、加熱プレス圧等によっても異なるが、絶縁性樹脂基材が硬質の樹脂基材であり、銅箔の厚さが、5～50 μm の範囲である場合には、銅箔のマット面の粗面度は、0.1～5 μm の範囲であり、温度は、120～250℃で、加熱プレス圧は、1～10 Mpaの範囲であり、その結果としてのピール強度は、0.6～1.4 Kg/cm^2 の範囲であることが望ましい。

上記銅箔のマット面は、片面回路基板の導電性パンプ側の面だけでなく、そ

の面から突出する導電性バンプに対しても圧着されるので、その銅箔をエッチング処理して形成される導体回路と導電性バンプ側の面との間およびその導体回路と導電性バンプとの間の接合性が向上する。

5 一般的に、片面回路基板を同一方向に多層に積層する場合には、めっき液や洗浄液などに浸漬した後、乾燥やアニールなどの加熱工程を繰り返すため、金属層である導体回路が存在しない部分に加わる応力が緩衝されないために、基板自体が反ってしまい、そのために、導体回路の破断、断線、バイアホール部分での接続不良や充填金属の剥離などが発生してしまい、電気接続性と信頼性に低下を引き起こしてしまうことがある。

10 しかしながら、本願発明のように、同一方向に積層された複数の片面回路基板と銅箔とを加熱プレスによって一体化した後に、銅箔をエッチング処理して導体回路を形成し、その導体回路形成面に対して、上記方向とは反対方向に他の片面回路基板を積層して加熱プレスによって一体化される。

15 この場合には、より内側に位置する片面回路基板の導電性バンプ側の面に対して銅箔のマット面が圧着され、その銅箔をエッチング処理して形成した導体回路は、それに対して積層される他の片面回路基板の導電性バンプに接合されるべき導体パッドを少なくとも有する所望の配線パターンに形成することができる。

20 したがって、基板の導電性バンプ側の面に対する導体回路のピール強度やプル強度が十分に確保され、加熱プレスによるバイアホールに対する導体パッドの位置ずれを防止することができるので、確実な電氣的接続を行うことができる。

また、この場合には、加熱プレスを2回行うことが望ましい。正確なスケールファクターを必要とするが、高いピール強度やプル強度を得ることができる。

25 上記導体回路を形成する銅箔のマット面に対して、スズ、亜鉛、ニッケル、リンから選ばれる少なくとも1種類の保護膜または金や白金等の貴金属からなる保護膜を被覆形成してもよい。

30 このような保護膜の膜厚は、 $0.01 \sim 3 \mu\text{m}$ の範囲が望ましい。その理由は、 $0.01 \mu\text{m}$ 未満では、マット面の微細な凹凸を完全に被覆できないことがあり、 $3 \mu\text{m}$ を越えると、形成したマット面の凹部に保護膜が充填されて、マット処理効果が相殺されてしまうことがあるからである。特に好ましい膜厚は、 $0.03 \sim 1 \mu\text{m}$ の範囲である。

上記保護膜のうち、スズからなる保護膜は、無電解置換めっきによって析出

する薄膜層として形成でき、マット面との密着性にも優れることから、最も有利に適用することができる。

このような含スズめっき膜を形成するための無電解めっき浴は、ホウフッ化スズ-チオ尿素液または塩化スズ-チオ尿素液を使用し、そのめっき処理条件は、20℃前後の室温において約5分とし、50℃～60℃程度の高温において約1分とすることが望ましい。

このような無電解めっき処理によれば、銅パターンの表面にチオ尿素の金属錯体形成に基づく銅-スズ置換反応が起き、スズ薄膜層が形成される。銅-スズ置換反応であるため、凹凸形状を破壊することなくマット面を被覆できる。

また、スズ等の金属に代えて使用することができる貴金属は、金あるいは白金であることが望ましい。これらの貴金属は、銀などに比べて粗化処理液である酸や酸化剤に冒されにくく、またマット面を容易に被覆できるからである。ただし、貴金属は、コストが嵩むために、高付加価値製品にのみ使用されることが多い。このような金や白金の被膜は、スパッタ、電解あるいは無電解めっきにより形成することができる。

このような被覆層を設けることによって、マット面の濡れ性が均一となり、バイアホールに対応して形成された導電性バンプとの接合性が向上させるだけでなく、樹脂絶縁層を構成する芯材に含浸されている樹脂との接合性も向上させることができるため、電気的接続性と接続信頼性が大幅に改善される。

上記積層・加熱プレスにより形成された多層プリント配線板は、外側の回路基板の表面を覆ってソルダーレジスト層を設けることができる。

そのソルダーレジスト層は、主として熱硬化性樹脂や感光性樹脂から形成され、回路基板上のバイアホール位置に対応した個所に開口が形成され、その開口から露出する導体回路（導体パッド）上に外部端子である半田バンプや、半田ボール、T形の導電性ピン等の半田体が形成される。外部端子は、両面に形成されるのである。

また、外側に位置する回路基板のうち、マザーボードに接続される側にある下層にある他の回路基板については、バイアホールの直上に位置して、たとえば、42アロイやリン青銅等の金属材料から形成されたT形の導電性ピンや、たとえば、金、銀、半田等の金属材料から形成された導電性ボールを設けることができる。

第1図(A)は、本発明の第1実施形態に係る多層プリント配線板の構成を示す断面図であり、(B)は該多層プリント配線板にICチップを実装した状態を示す断面図である。

5 第2図は、第1図(B)に示す多層プリント配線板にICモジュールを搭載した状態を示す断面図である。

第3図は、第1図に示す多層プリント配線板を構成する片面回路基板の製造工程図である。

第4図は、第1図に示す多層プリント配線板を構成する片面回路基板の製造工程図である。

10 第5図は、第1図に示す多層プリント配線板を構成する片面回路基板の製造工程図である。

第6図は、第1図に示す多層プリント配線板を構成する片面回路基板の製造工程図である。

第7図は、第1図に示す多層プリント配線板の製造工程図である。

15 第8図は、第1図に示す多層プリント配線板の製造工程図である。

第9図は、第1実施形態の第1改変例に係る多層プリント配線板の製造工程図である。

第10図は、第1実施形態の第2改変例に係る多層プリント配線板の製造工程図である。

20 第11図(A)は、第1実施形態の改変例に係る多層プリント配線板の断面図であり、(B)は、平面図である。

第12図は、第1実施形態の改変例に係る多層プリント配線板の断面図である。

25 第13図(A1)、(B1)、(C1)は、第2図中の外部端子を拡大して示し、(A2)、(B2)、(C2)は、(A1)、(B1)、(C1)中の外部端子の斜視図である

第14図(A)は実施例1の改1のビアホールを示す断面図であり、(B)は実施例1の改2のビアホールを示す断面図であり、(C)は実施例1の改3のビアホールを示す断面図である。

30 第15図(A)、(B)、(C)は、従来技術の多層プリント配線板の説

明図である。

第 16 図は、実施例 1 と比較例 1、2 とで導通試験の結果を比較した図表である。

5 第 17 図 (A) は本発明の第 2 実施形態に係る多層プリント配線板の構成を示す断面図であり、第 17 図 (B) は該多層プリント配線板に IC チップを実装した状態を示す断面図である。

10 第 18 図 (A) は、第 17 図 (A) に示す多層プリント配線板の IC チップ 70 を樹脂モールドした状態を示す断面図であり、第 18 図 (B) は、第 18 図 (A) に示す多層プリント配線板に IC モジュールを搭載した状態を示す断面図である。

第 19 図 (A) は、第 9 図 (C) に示す多層プリント配線板の平面図であり、第 19 図 (B) は、第 17 図 (B) に示す多層プリント配線板の平面図である。

15 第 20 図 (A) は、第 18 図 (A) に示す多層プリント配線板の平面図であり、第 20 図 (B) は、第 2 実施形態の改変例に係る多層プリント配線板の平面図である。

第 21 図 (A) は、第 3 実施形態に係る多層プリント配線板の断面図であり、第 21 図 (B) は、該多層プリント配線板に IC チップを実装した状態を示す断面図である。

20 第 22 図 (A) は、第 21 図 (A) の多層プリント配線板の平面図であり、第 22 図 (B) は、第 21 図 (B) の多層プリント配線板の平面図である。

第 23 図は、実施例 2 と比較例 3、比較例 4 とで導通試験の結果を比較した図表である。

25 第 24 図 (A) は、従来技術に係る多層プリント配線板の平面図であり、第 24 図 (B) は、第 24 図 (A) の多層プリント配線板の断面図である。

発明を実施するための最良の形態

[実施形態]

まず、本発明の第 1 実施形態に係る片面回路基板を積層してなる多層プリント配線板の構成について第 1 図及び第 2 図を参照して説明する。

30 第 1 図 (A) は、パッケージ基板を構成する多層プリント配線板 100 の構

- 22 -

成を示し、第1図(B)は該多層プリント配線板100にICチップ70を実装した状態を示している。第2図は、ICチップ70を実装した多層プリント配線板100にICモジュール120を積層した状態を示している。

第1図(A)に示すように多層プリント配線板100は、2層の片面回路基板A、片面回路基板Bを積層して成る。上層の片面回路基板Aの中央部には、ICチップを収容するための開口(ザグリ部)10aが形成されている。片面回路基板Aの上面には、導体回路36が形成されており、該導体回路36上にICモジュール接続用のBGA56が配置されている。また、該導体回路36下に、絶縁性基材10を貫通する開口16にバイアホール18が形成されている。バイアホール18の下端には、下層の片面回路基板Bの導体回路28と接続するための半田バンプ24が配置されている。該片面回路基板Aと、下層の片面回路基板Bとは、接着剤層26を介して接続されている。下層の片面回路基板Bの上面中央には、ICチップ70の放熱のための金属層28aが設けられている。金属層28aの下方には、放熱用のバイアホール18aが設けられている。下層の片面回路基板Bの上面の導体回路28の下方には、回路接続用のバイアホール18が設けられている。下層の片面回路基板Bの半田バンプ24には、導体回路38が接続され、該導体回路38には、BGA56が取り付けられている。なお、片面回路基板Aの上面及び片面回路基板Bの下面にはソルダーレジスト層40が被覆されている。

第1図(B)に示すように、多層プリント配線板100の開口10a内であって、上記金属層28aの上には、ICチップ70が収容される。ICチップ70は、ワイヤー72により、多層プリント配線板側の導体回路(パッド)36pと接続が取られる。該ICチップ70と開口10aには、樹脂74によりモールドがなされている。

第2図に示すように、多層プリント配線板100の表面側のBGA56には、端子132を介してICモジュール120が接続される。一方、多層プリント配線板の裏面側のBGA56は、図示しないプリント配線板等に接続される。ICモジュール120は、端子板130上に載置されたICチップ122を樹脂124でモールドしてなり、ICチップ122と端子板130の端子132とは、ワイヤー128でボンディング接続されている。

第1実施形態の多層プリント配線板100は、表面及び裏面にBGA56が配置されているため、その両面に別のプリント配線板などを接続することが可能となる。例えば、表面のBGA56を介してICモジュール120を実装した状態で、裏面のBGA56を介してプリント配線板に接続することができる。

5 また、実装されるICモジュールの形態の自由度が増す。

また、別の見方をすれば、該多層プリント配線板に形成される回路は、該基板上に実装されたICチップ70に接続させ外部へと引き出されている回路

(PKG回路)と、ICモジュール120に接続され該多層プリント配線板を介して外部へ引き出される回路(インターポーザ回路)との2種類が混在して

10 いる。インターポーザとPKG基板の役目を一枚で果たすことができ、小型化、高機能化を可能にする。また、この場合、多層プリント配線板100あるいは

ICモジュール120で不良を引き起こしたとしても、多層プリント配線板に

ICモジュール120を取り付ける前に対応できる。ICモジュール120を設計変更(例えば、メモリーであれば容量を変更した等の場合を意味する)し

15 たとしても、容易に適応することができる。

ザグリ10aが形成されていることから、その実装エリアにおける厚み(多層プリント配線板100にICチップ70を実装した状態での厚み)を薄くすることができる。さらに、ICを多層化して実装しても封止樹脂を含めた基板自体の総厚みを薄くすることもできる。

20 第1実施形態では、表面のBGA56およびパッド36pの直下には、裏面のBGA56が重ならないように配置されている。即ち、第2図の一部を拡大して示す第13図中に示すように、BGA56を取り付けるバイアホール18

の中心線X1と、裏面のBGA56を取り付けるバイアホール18の中心線X2とがずれるように配置されている。即ち、表面のBGA56およびパッドの

25 接続領域の直下に、裏面のBGA56の接続領域が重ならないように配置されている。BGA56は、導電性接続ピン等の外部端子に比べると接続箇所が小さく、

応力が集中しやすい。また、他のプリント配線板との材料等の熱膨張率が異なると、熱が加わるなどの外的な要因により応力が発生し、その応力が、外部端へと

伝達されるからである。そのために、発生した応力が基板にも伝えられる。この

30 とき、両面のBGA56が重なり合うように形成されていれば、応力が反対面へ伝わる。そのために、反対面での接続不良を引き起こすことがある。しかしなが

らBGA56が重なっていないと、その応力が緩衝されるので、接続に不具合を引き起こしにくくなるのである。

第1実施形態では、ICチップ122は発熱量の小さいメモリであり、ICチップ70は発熱量の多いロジックICである。このICチップ70の直下に金属層28aを設けて、該金属層28aにビアホール18aを介してBGA56に接続させる。その構成にすることにより、BGA56に接続されたプリント配線板側へ熱を効率よく伝達させ、放熱することができるのである。

第11図(A)は、第1実施形態の改変例に係る多層プリント配線板の断面図であり、第11図(B)は平面図である。この改変例では、パッド36pが千鳥状に配置されている。

第12図は、第1実施形態の改変例に係る多層プリント配線板の断面図である。この改変例のように、ICチップ122Aの上に、スタック状にICチップ122Bを載置することも可能である。

以下、第1実施形態に係る多層プリント配線板を製造する方法の一例について、添付図面を参照にして具体的に説明する。

(1) 本発明にかかる多層プリント配線板を製造するに当たって、それを構成する基本単位としての片面回路基板10Aは、絶縁性基材10の片面に銅箔12が貼付けられたものを出発材料として用いる(第3図(A))。

この絶縁性基材は、たとえば、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布-エポキシ樹脂基材、アラミド不織布-ポリイミド樹脂基材から選ばれる硬質な積層基材が使用され得るが、ガラス布エポキシ樹脂基材が最も好ましい。絶縁性基材の樹脂中にガラス、アルミナ、ジルコニア等の無機フィラーが分散していてもよい。

上記絶縁性基材10の厚さは、20~600 μ mが望ましい。その理由は、20 μ m未満の厚さでは、強度が低下して取扱が難しくなるとともに、電氣的絶縁性に対する信頼性が低くなり、600 μ mを超える厚さでは微細なビアホールの形成および導電性ペーストの充填が難しくなるとともに、基板そのものが厚くなるためである。

また銅箔12の厚さは、5~18 μ mが望ましい。その理由は、後述するようなレーザ加工を用いて、絶縁性基材にビアホール形成用の開口を形成する際に、薄すぎると貫通してしまうからであり、逆に厚すぎるとエッチングにより、微細な線幅の導体回路パターンを形成し難いからである。

上記絶縁性基材10および銅箔12としては、特に、エポキシ樹脂をガラス

クロスに含漬させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面銅張積層板を用いることが好ましい。その理由は、銅箔がエッチングされた後の取扱中に、配線パターンやビアホール的位置がずれることがなく、位置精度に優れるからである。

- 5 (2) 次に、絶縁性基材の銅箔が貼付けられた表面と反対側の表面に、透明な保護フィルム14を貼付ける(第3図(B))。

この保護フィルム14は、粘着剤層の厚みが1~20 μ m、フィルム自体の厚みが10~50 μ mであるようなポリエチレンテレフタレート(PET)フィルムが使用される。

- 10 (3) 次に、絶縁性基材上に貼付けられたPETフィルム14上から炭酸ガスレーザ照射を行って、PETフィルムを貫通して、絶縁性基材10の表面から銅箔(あるいは導体回路パターン)12に達する開口16を形成する(第3図(C))。

- 15 このレーザ加工は、パルス発振型炭酸ガスレーザ加工装置によって行われ、その加工条件は、パルスエネルギーが0.5~100mJ、パルス幅が1~100 μ s、パルス間隔が0.5ms以上、ショット数が3~50の範囲内であることが望ましい。

このような加工条件のもとで形成され得るビア形成用開口16の口径は、50~250 μ mであることが望ましい。

- 20 なお、上記保護フィルムは、後述するような半田バンプを導電性ペーストの印刷によって形成する場合には、その印刷用マスクとして使用され得る。この場合、半田として、Cu、ZnもしくはSbが配合されたものを用いることが望ましい。Sn/Pbと比較すると融点が高いこととペースト自体の流動性が小さいことから、隣り合う別の導体回路とのショート(短絡)を引き起こしにくい。そのため、電気接続性や信頼性が向上されるからである。しかしながら、Sn/Pb、Sn/Agなどの一般的に用いられている半田ペーストや銅、金などの金属粒子からなる導電性ペーストを用いてもよい。

- 25 (4) 前記(3)の工程で形成された開口16の側面および底面に残留する樹脂残滓を除去するために、デスミア処理を行う。

- 30 このデスミア処理は、酸素プラズマ放電処理、コロナ放電処理、紫外線レーザ処理またはエキシマレーザ処理等の乾式処理によって行われることが望ましい。

- (5) 次に、デスミア処理した基板10の銅箔12面に対して、めっき保護フ

ィルムとしてのPETフィルム15を貼付した後(第3図(D))、銅箔12をめっきリードとする電解銅めっき処理を施して、開口内に電解銅めっきを充填して、充填パイアホール18を形成する(第3図(E))。

5 なお、電解銅めっき処理の後、基板に貼付したPETフィルム15を剥離させ、開口の上部に盛り上がった電解銅めっきを、ベルトサンダー研磨やバフ研磨等によって除去して平坦化させてもよい(第4図(A))。

10 (6) 上記(5)の電解銅めっき処理を施した後、銅めっき18をめっきリードとする電解半田めっき処理を施して、電解半田めっきからなる突起状導体、すなわち、導電性バンプ24を電解銅めっき18表面から僅かに突出するように形成する(第4図(B))。このとき形成した導電性バンプは、Sn/Cu(97:3)で形成した

15 (7) 次いで、絶縁性基材10の導電性バンプ24を含んだ表面に樹脂接着剤を塗布して接着剤層26を形成した後、絶縁性基材10の銅箔12上に貼付したPETフィルムを剥離させる(第4図(C))。

20 このような樹脂接着剤は、例えば、絶縁性基材の導電性バンプを含んだ表面全体または導電性バンプを含まない表面に塗布され、乾燥化された状態の未硬化樹脂からなる接着剤層として形成される。この接着剤層は、取扱が容易になるため、プレキュアしておくことが好ましく、その厚さは、5~50 μ mの範囲が望ましい。

25 前記接着剤層は、有機系接着剤からなることが望ましく、有機系接着剤としては、エポキシ樹脂、ポリイミド樹脂、熱硬化型ポリフェノレンエーテル(PPE)、エポキシ樹脂と熱可塑性樹脂との複合樹脂、エポキシ樹脂とシリコン樹脂との複合樹脂、BTレジンから選ばれる少なくとも1種の樹脂であることが望ましい。

30 有機系接着剤である未硬化樹脂の塗布方法は、カーテンコータ、スピンコータ、ロールコータ、スプレーコート、スクリーン印刷などを使用できる。また、接着剤層の形成は、接着剤シートをラミネートすることによってもできる。

このとき、2種類の片面回路基板を作成する。

1つは、基板にルーターやパンチング等により、開口10aを有する片面回路基板(以下片面回路基板Aと称する)である(第4図(D))。

もう一つは、開口を有さない後述する片面回路基板(以下片面回路基板Bと称する)である。

上記(1)~(7)の工程にしたがって作製された片面回路基板Aは、ルー

- 27 -

ター、パンチング、レーザ等により、基板内に開口を有するものを形成する。形成するエリアは実装するICチップの面積の3%以上の面積で形成される。2%未満では、ICチップのアライメント等の不可避免的な位置ズレに対する許容がなくなるため、ICチップを実装することができないからである。また、
5 実装するために領域も確保されないからである。

絶縁性基材の一方の表面に導体層としての銅箔を有し、他方の表面から銅箔に達する開口に充填バイアホールを有するとともに、その充填バイアホール上に半田めっきからなる半田バンプを形成し、さらに半田バンプを含んだ絶縁性
10 基材の表面に接着剤層を有して形成され、本発明にかかる多層プリント配線板を作製する際に、上層に位置して積層される回路基板、またはマット面を有してなる銅箔とともに両面回路基板を形成する回路基板として採用されることが望ましい。

次に、上記片面回路基板Aの下層に積層される他の片面回路基板Bを作製する。

15 (8) まず、上記(1)～(6)の工程と同様に処理した後(第5図(A)～(G)参照)、絶縁性基材10の半田バンプ24形成面に、エッチング保護フィルム25を貼付け(第6図(A))、銅箔12を所定の回路パターンマスクで被覆した後、エッチング処理を施して、導体回路(ビアランドを含む)
20 28及びICチップ直下の放熱板として機能する導体層28aを形成する(第6図(B))。

この処理工程においては、先ず、銅箔の表面に感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の金属層をエッチングして、
25 ビアランドを含んだ導体回路パターンを形成する。

このエッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも1種の水溶液が望ましい。

上記銅箔をエッチングして導体回路28を形成する前処理として、ファインパターンを形成しやすくするため、あらかじめ、銅箔の表面全面をエッチングして厚さを1～10μm、より好ましくは2～8μm程度まで薄くすることが
30 できる。

導体回路の一部としてのビアランドは、その内径がバイアホール口径とほぼ同様であるが、その外径は、50～250μmの範囲に形成されることが好ましい。

(9) 上記(8)で形成した導体回路の表面に対して、無電解めっき処理によってスズ等の薄膜層29を形成してもよい(第6図(C))。

このような含スズめっき膜を形成するための無電解めっき浴は、ホウフッ化スズ-チオ尿素液または塩化スズ-チオ尿素液を使用し、そのめっき処理条件は、20℃～60℃程度の温度において約1～5分とすることが望ましい。

このような無電解めっき処理によれば、銅パターンの表面にチオ尿素の金属錯体形成に基づく銅-スズ置換反応が起き、厚さ0.01～1μmのスズ薄膜層が形成される。

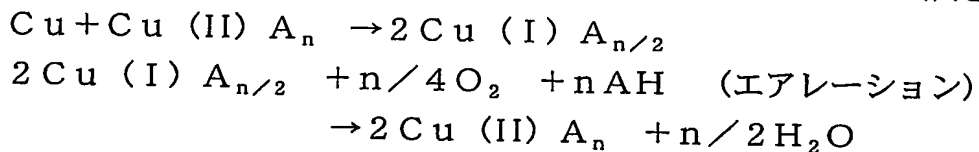
なお、上記(7)の工程で形成した導体回路28の表面に対して必要に応じて粗化処理を施し、その粗化層上に上記(8)の工程で形成したスズ層を形成することもできる。

また、スズ層に代えて、亜鉛、ニッケル、リンから選ばれる少なくとも1種類からなる保護膜または金や白金等の貴金属からなる保護膜で被覆するのが望ましい。

上記粗化処理は、多層化する際に、接着剤層との密着性を改善し、剥離(デラミネーション)を防止するためである。

粗化処理方法としては、例えば、ソフトエッチング処理や、黒化(酸化)-還元処理、銅-ニッケル-リンからなる針状合金めっき(荏原ユージライト製:商品名インタープレート)の形成、メック社製の商品名「メックエッチボンド」なるエッチング液による表面粗化がある。

上記粗化層の形成は、エッチング液を用いて形成されるのが好ましく、たとえば、導体回路の表面を第二銅錯体と有機酸の混合水溶液からエッチング液を用いてエッチング処理することによって形成することができる。かかるエッチング液は、スプレーやバブリングなどの酸素共存条件下で、銅導体回路パターンを溶解させることができ、反応は、次のように進行するものと推定される。



式中、Aは錯化剤(キレート剤として作用)、nは配位数を示す。

上式に示されるように、発生した第一銅錯体は、酸の作用で溶解し、酸素と結合して第二銅錯体となって、再び銅の酸化に寄与する。本発明において使用される第二銅錯体は、アゾール類の第二銅錯体がよい。この有機酸-第二銅錯体からなるエッチング液は、アゾール類の第二銅錯体および有機酸(必要に応

じてハロゲンイオン) を、水に溶解して調製することができる。

このようなエッチング液は、たとえば、イミダゾール銅(I I)錯体 10重量部、グリコール酸 7重量部、塩化カリウム 5重量部を混合した水溶液から形成される。

- 5 また、粗化处理や被覆層を形成することなく、片面回路基板Bを作成してもよい。

(10) 次いで、半田バンプを含んだ絶縁性基材10の表面から保護フィルム25を剥離させた後、その絶縁性基材の表面に樹脂接着剤32を塗布する(第6図(D))。

- 10 このような樹脂接着剤は、例えば、絶縁性基材の半田バンプを含んだ表面全体または半田バンプを含まない表面に塗布され、乾燥化された状態の未硬化樹脂からなる接着剤層として形成される。この接着剤層は、取扱が容易になるため、プレキュアしておくことが好ましく、その厚さは、5～50 μ mの範囲が望ましい。

- 15 前記接着剤層は、有機系接着剤からなることが望ましく、有機系接着剤としては、エポキシ樹脂、ポリイミド樹脂、熱硬化型ポリフェノレンエーテル(PPE)、エポキシ樹脂と熱可塑性樹脂との複合樹脂、エポキシ樹脂とシリコン樹脂との複合樹脂、BTレジンから選ばれる少なくとも1種の樹脂であることが望ましい。

- 20 有機系接着剤である未硬化樹脂の塗布方法は、カーテンコータ、スピンコータ、ロールコータ、スプレーコート、スクリーン印刷などを使用できる。また、接着剤層の形成は、接着剤シートをラミネートすることによってもできる。

- 25 上記(8)～(10)の工程にしたがって作製された片面回路基板Bは、絶縁性基材10の一方の表面に導体回路を有し、他方の表面には半田めっきからなる半田バンプ24を有し、さらに半田バンプ24を含んだ絶縁性基材の表面に他の絶縁性基材との接着用の接着剤層26、または、銅箔との接着用の接着剤層32を有して形成される。

- 30 (11) 上記片面回路基板Aの導電性バンプ側の面を下方に向け、その面に対して片面回路基板Bを同一方向に積層すると共に、片面回路基板Bの半田バンプ24側の表面に対して、表面粗さが1.0 μ mのマット面を有する厚さが5～18 μ mの銅箔30を、そのマット面を対向させた状態で積層し(第7図(A))、加熱温度150～200℃、加圧力1～10MPaの条件のもとで、加熱プレスして、片面回路基板Aと片面回路基板Bとを一体化する(第7図

- 30 -

(B))。

このとき、片面回路基板Aの開口10a内には、金属や樹脂フィルムなどをプレス板間に挟みこむ。それにより接着剤の流出を防止するためとプレス時の位置ズレと圧力に不均一になることを回避するために有効である。この場合、何も入れなくてもよいし、凸部を有する当て板を置くだけでもよい。

このような加熱プレスは、より好ましくは、減圧下において行なわれ、未硬化状態の樹脂接着剤層26を硬化させることによって、片面回路基板Aと片面回路基板Bとが接着される。接着剤層32を硬化させることにより銅箔30を接着させる。

(12) 上記(11)において一体化された回路基板の上層の銅箔12と下層の銅箔30を、エッチング処理することによって、多層プリント配線板の上層および下層に導体回路36および導体回路38(バイアホールランド、パッド36pを含む)を形成する(第7図(C)参照)。

この処理工程においては、まず、銅箔12および銅箔30の表面に感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の金属層をエッチングして、バイアホールランドを含んだ導体回路36および導体回路38を形成する。

(13) 次に、片面回路基板AおよびBの外側にソルダーレジスト層40をそれぞれ形成する(第8図(A))。この場合、回路基板AおよびBの外表面全体にソルダーレジスト組成物を塗布し、その塗膜を乾燥した後、この塗膜に、開口部を描画したフォトマスクフィルムを載置して露光、現像処理することにより、導体回路およびバイアホール直上に位置する半田パッド部分を露出させた開口44をそれぞれ形成する。それ以外にもフィルムを貼り付けて、露光、現像処理もしくはレーザで開口させてもよい。

(14) 上記(13)の工程で得られたソルダーレジストの開口からバイアホール直上に露出した半田パッド(開口44)部分に、外部端子である導電性バンプ、導電性ボールあるいは導電性ピンを配設する前に、各半田パッド部上に「ニッケル52-金54」からなる金属層を形成することが好ましい(第8図(B))。

このニッケル層52の厚みは1~7 μ mが望ましく、金層54の厚みは0.01~0.06 μ mが望ましい。この理由は、ニッケル層は、厚すぎると抵抗

- 31 -

値の増大を招き、薄すぎると剥離しやすいからである。一方金属層は、厚すぎるとコスト増になり、薄すぎると半田体との密着効果が低下するからである。スズもしくは貴金属層の単層を形成してもよい。

(15) 上記半田パッド部上に設けたニッケル-金からなる金属層上に、半田体を供給し、この半田体の溶融・固化によって外部端子である導電性バンプを形成し、あるいは導電性ボールまたは導電性ピンを半田パッド部に接合して、多層回路基板を形成する(第1図(A))。

上記半田体の供給方法としては、半田転写法や印刷法を用いることができる。

ここで、半田転写法は、プリプレグに半田箔を貼合し、この半田箔を開口部分に相当する箇所のみを残してエッチングすることにより、半田パターンを形成して半田キャリアフィルムとし、この半田キャリアフィルムを、基板のソルダーレジスト開口部分にフラックスを塗布した後、半田パターンがパッドに接触するように積層し、これを加熱して転写する方法である。

一方、印刷法は、パッドに相当する箇所に開口を設けた印刷マスク(メタルマスク)を基板に載置し、半田ペーストを印刷して加熱処理する方法である。半田としては、スズ-銀、スズ-インジウム、スズ-亜鉛、スズ-ビスマス、スズ-アンチモンなどが使用できる。それらの融点は、導電性バンプの融点よりも低いことが望ましい。

すなわち、ソルダーレジスト層の開口から露出するそれぞれの半田パッド上に適切な半田体を供給して導電性バンプを形成したり、導電性ボールまたは導電性のTピンを接続するように構成する。

なお、導電性ボール56やTピンを接続する半田材料としては、導電性バンプの融点よりも融点の高いスズ/アンチモン半田、スズ/銀半田、スズ/銀/銅半田などを用いることが好ましい。

上記(1)～(15)の工程に従う実施形態によれば、多層プリント配線板60は、片面回路基板Aと片面回路基板Bとを同一方向に積層すると共に、片面回路基板Bの半田バンプ側の表面に対して、マット面が対向するように銅箔30を対向配置させた状態で、加熱プレスすることによって、片面回路基板同士を接着すると共に銅箔30を片面回路基板Bに圧着して多層化した後、片面回路基板Aの銅箔12と片面回路基板B2に圧着された銅箔30とをエッチング処理して、それぞれ導体回路36および38を形成した。このような実施形態の他に、以下の①改変例1、②改変例2に記載したような製造工程を採用することもできる。

① 改変例 1

片面回路基板 B の半田バンプ 24 側の表面にマット面を有する銅箔 30 を対向配置させた状態で（第 9 図（A））、真空加熱プレスにより銅箔 30 を片面回路基板 B に圧着する（第 9 図（B））。その後、エッチング保護フィルムを貼付した状態で、エッチング処理を施して、銅箔を選択的にエッチングして所定パターンを有する導体回路 38 を形成し、両面回路基板 B を形成する（第 9 図（C））。

その後、片面回路基板 A の半田バンプ 24 側の面に対して、回路基板 B の導体回路 28 側の面を対向配置させた状態で（第 9 図（D））、真空加熱プレスすることによって多層化する（第 9 図（E））。その後、片面回路基板 A の銅箔をエッチングして導体回路を形成する（第 7 図（C）参照）。

② 改変例 2

第 4 図（C）に示す片面回路基板 A の銅箔 12 をエッチングして導体回路 36 を形成し（第 10 図（A））、基板 10 にルーターやパンチング等により開口 10a を穿設する（第 10 図（B））。その後、片面回路基板 A に対して、第 9 図（C）の工程で導体回路 38 を形成した両面回路基板 B を対向配置した状態で（第 10 図（C））、真空加熱プレスすることによって多層化する（第 10 図（D））。

上述した実施形態では、2 枚の片面回路基板を積層一体化して、2 層に多層化した。3 層以上でも片面回路基板の数を増やすことで必要に応じた多層化が可能である。

[実施例 1]

（1） まず、多層プリント配線板を構成する片面回路基板を製作する。この回路基板は、エポキシ樹脂をガラスクロスに含漬させて B ステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面銅張積層板を出発材料として用いる。

この絶縁性基材の厚さは $75\mu\text{m}$ 、銅箔の厚さは $18\mu\text{m}$ であり、この積層板の銅箔形成面と反対側の表面に、厚みが $12\mu\text{m}$ の粘着剤層を有し、かつフィルム自体の厚みが $12\mu\text{m}$ であるような PET フィルムをラミネートする。

（2） ついで、PET フィルム上から炭酸ガスレーザ照射を行って、PET フィルムおよび絶縁性基材を貫通して銅箔に至るパイアホール形成用開口を形成し、さらにその開口内を酸素プラズマ放電によってデスミア処理や酸、酸化

材、アルカリなどの薬液により浸漬してデスミア処理を行ってもよい。デスミア処理により、基材の平滑化と銅箔である導体部分の樹脂残渣を除去することができる。それにより、その後の導電性充填剤を充填しても、接続性と信頼性の確保がなされる。該樹脂残渣が、その原因となるが除去されているために、

5 問題がなく発生しない。

この実施例においては、バイアホール形成用の開口の形成には、三菱電機製の高ピーク短パルス発振型炭酸ガスレーザ加工機を使用し、全体として厚さ $22\ \mu\text{m}$ のPETフィルムを樹脂面にラミネートした、基材厚 $60\ \mu\text{m}$ のガラス布エポキシ樹脂基材に、マスクイメージ法でPETフィルム側からレーザビーム照射して 100 穴/秒のスピードで、 $150\ \mu\text{m}\phi$ のバイアホール形成用の開口を形成した。

10

(3) デスミア処理を終えた絶縁性基材の銅箔貼付面にPETフィルムを貼り付け、以下のような条件で、銅箔をめっきリードとする電解銅めっき処理を施して、開口内に電解銅めっきを充填してバイアホールを形成した。電解銅めっきは開口の上部にわずかに露出し際には、サンダーベルト研磨およびバフ研磨によって露出部分を除去して平坦化してもよい。

15

〔電解銅めっき水溶液〕

硫酸 : $175\ \text{g}/1$

硫酸銅 : $78\ \text{g}/1$

20 添加剤 (アトテックジャパン製、商品名: カパラシドGL)

: $0.98\ \text{ml}/1$

〔電解めっき条件〕

電流密度 : $6\ \text{A}/\text{dm}^2$

時間 : $60\ \text{分}$

25 温度 : $25\ ^\circ\text{C}$

(4) さらに、以下のような条件で、電解半田めっき処理を施して、開口に充填された銅めっき層上に半田めっき層を形成して、絶縁性基材の表面から $3\sim 10\ \mu\text{m}$ 突出する半田バンプを形成する。

〔電解半田めっき溶液〕

30 金属組成比: $\text{Sn}/\text{Cu} = 99.9/0.1 \sim 70/30$ の範囲で形成させた。

添加剤 : $5\ \text{ml}/1$

(電解半田めっき条件)

温度 : $21\ ^\circ\text{C}$

- 34 -

電流密度 g : 0.41 A/dm^2

その具体的な事例として、 $\text{Sn/Cu} = 99.3/0.7$ (融点 227°C)、 $\text{Sn/Cu} = 95/5$ (融点 310)

5 この場合、形成された半田バンプの比率が $\text{Sn/Cu} = 99.9/0.1 \sim 90/10$ の比率のものを最適例とし、 $\text{Sn/Cu} > 90/10$ となるものを適用例とした。

(5) 次に、上記(3)で絶縁性基材に貼付したPETフィルムを剥離させた後、絶縁性基材の半田バンプ側の全面にエポキシ樹脂接着剤を塗布し、プレ

10 キュアして、多層化のための接着剤層を形成した。
(6) ルーター、パンチング、レーザ等により(5)の工程で形成された絶縁性基材に開口を形成させる。その開口する面積は $15 \sim 70\%$ の間で形成させた。本実施例では、 36.5% で形成させた。

上記(1)～(6)にしたがって作製した片面回路基板Aは、多層化の際に、上層に配置されるべき回路基板であり、開口内にはICチップが実装される領域になる。

(7) 上記(1)～(4)の工程と同様の処理をした後、絶縁性基材の銅箔貼付面からPETフィルムを剥離させ、絶縁性基材の半田バンプ側の表面にエッチング保護フィルムを貼付した状態で、銅箔に適切なエッチング処理を施し、所定パターンを有する導体回路を形成した。

20 上記(7)で得た導体回路の表面に、無電解めっき浴として、ホウフッ化スズ-チオ尿素液を用い、 45°C 前後で約5分のめっき条件にて、無電解めっき処理を施して、厚さ $0.1 \mu\text{m}$ のスズ薄膜層を形成してもよい。

(8) 上記(6)で絶縁性基材に貼付したエッチング保護フィルムを剥離させた後、絶縁性基材の半田バンプ側の全面にエポキシ樹脂接着剤を塗布し、プレ

25 キュアして、各回路基板を接着して多層化するための接着剤層を形成した。
上記(6)～(8)の工程にしたがって作製される片面回路基板Aは、片面回路基板Bとの組み合わせで多層化される基板である。

(9) マット面を有する銅箔30が圧着される片面回路基板Bとして、上記(1)～(5)、(7)の工程と同様の処理をした後、上記(8)のような接着剤に代えて、マット面を有する銅箔30を絶縁性基材10上に効果的に接着するためのエポキシ樹脂接着剤が塗布され、 60°C で30分間の乾燥を行って厚さ $20 \mu\text{m}$ の樹脂接着剤層が形成された。

30 (10) 上記(1)～(8)にしたがって作製した片面回路基板Aと、上記

(9)に従って作製した片面回路基板Bとを、同一方向に積層した後、片面回路基板Bの半田バンプ側の面に対して、片面がマット処理されて、その表面粗度が $1.0\mu\text{m}$ であり、厚さが $12\mu\text{m}$ の銅箔を、そのマット面を対向させた状態で、加熱温度 200°C 、加熱時間10分、圧力 2MPa 、真空度 $2.5 \times 10^3\text{Pa}$ の条件のもとで、加熱プレスすることによって、各片面回路基板A、B間を接着すると共に、銅箔を片面回路基板に接着して多層化した。

(11) その後、多層化された基板の片面回路基板Aおよび片面回路基板B上の銅箔に、適切なエッチング処理により導体回路および(ビアランドを含む)を形成した。

(12) 上記(1)～(11)の工程にしたがって作製した多層化基板の表面に、ソルダーレジスト層を形成する前に、必要に応じて、銅-ニッケル-リンからなる粗化層やエッチングによる粗面を設けてもよい。

(13) 一方、DMDGに溶解させた60重量%のクレゾールノボラック型エポキシ樹脂(日本化薬製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量4000)を46.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル製、エピコート1001)14.121重量部、イミダゾール硬化剤(四国化成製、2E4MZ-CN)1.6重量部、感光性モノマーである多価アクリルモノマー(日本化薬製、R604)1.5重量部、同じく多価アクリルモノマー(共栄社化学製、DPE6A)30重量部、アクリル酸エステル重合体からなるレベリング剤(共栄社製、ポリフローNo.75)0.36重量部を混合し、この混合物に対して光開始剤としてのペンゾフェノン(関東化学製)20重量部、光増感剤としてのEAB(保土ヶ谷化学製)0.2重量部を加え、さらにDMDG(ジエチレングリコールジメチルエーテル)10重量部を加えて、粘度を 25°C で $1.4 \pm 0.3\text{Pa}\cdot\text{S}$ に調整したソルダーレジスト組成物を得た。

なお、粘度測定は、B型粘度計(東京計器、DVL-B型)で60rpmの場合はローターNo.4、6rpmの場合はローターNo.3によった。

(14) 上記(11)で得られた多層化基板の回路基板の表面に、前記(13)で得られたソルダーレジスト組成物を $20\mu\text{m}$ の厚さで塗布した。

次いで、 70°C で20分間、 100°C で30分間の乾燥処理を行った後、クロム層によってソルダーレジスト開口部の円パターン(マスクパターン)が描画された厚さ5mmのソーダライムガラス基板を、クロム層が形成された側をソルダーレジスト層に密着させて $1000\text{mJ}/\text{cm}^2$ の紫外線で露光し、

- 36 -

DMTG現像処理した。さらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件で加熱処理し、パッド部分に対応した開口を有する（開口径200μm）ソルダーレジスト層（厚み20μm）を形成した。

5 (15) 次に、ソルダーレジスト層を形成した基板を、塩化ニッケル30g／1、次亜リン酸ナトリウム10g／1、クエン酸ナトリウム10g／1からなるpH=5の無電解ニッケルめっき液に20分間浸漬して、開口部に厚さ5μmのニッケルめっき層を形成した。

10 さらに、その基板を、シアン化金カリウム2g／1、塩化アンモニウム75g／1、クエン酸ナトリウム50g／1、次亜リン酸ナトリウム10g／1からなる無電解金めっき液に93℃の条件で23秒間浸漬して、ニッケルめっき層上に厚さ0.03μmの金めっき層を形成し、ニッケルめっき層と金めっき層とからなる被覆金属層を形成した。場合によっては、スズもしくは貴金属層の単層を形成してもよい。

15 (16) そして、上層の片面回路基板Aを覆うソルダーレジスト層の開口から露出する半田パッドに対して、融点が約190℃のスズ／銀半田からなる半田ペーストを印刷して220℃でリフローすることにより、両面に半田ボールを接続させて、多層プリント配線板を製作した。

[実施例1の改変例1]

20 実施例1の改変例1の多層プリント配線板は、上記実施例1と同様な構成（バイアホール18を上下の片面基板でずらしてあり、BGA56を直下から外してある）であるが、導電性バンプをSn／Zn（97：3）で形成した。

[実施例1の改変例2]

実施例1の改変例2の多層プリント配線板は、上記実施例1と同様な構成であるが、導電性バンプをSn／Sb（95：5）で構成した。

25 [実施例1の改変例3]

実施例1の改変例3の多層プリント配線板は、上記実施例1と同様な構成であるが、導電性バンプをSn／Pb（97：3）で構成した。

[実施例1の改変例4]

30 実施例1の改変例4の多層プリント配線板は、上記実施例1と同様な構成であるが、導電性バンプをSn／Ag（95：5）で構成した。

[実施例1改1]

実施例1の改1の多層プリント配線板は、導電性バンプをSn／Su（97：3）で構成した。但し、上記実施例1の構成と異なり、第14図（A）に示す

ように、表面の外部端子 5 6 の直下に裏面の外部端子 5 6 を配置した。

[実施例 1 改 2]

5 実施例 1 の改 1 の多層プリント配線板は、導電性バンプを $S_n/S_u(97:3)$ で構成した。但し、上記実施例 1 の構成と異なり、第 1 4 図 (B) に示すように、下面の片面回路基板のビアホール 1 8 を直上に上面の片面回路基板のビアホール 1 8 を配置した。

[実施例 1 改 3]

10 実施例 1 の改 1 の多層プリント配線板は、導電性バンプを $S_n/S_u(97:3)$ で構成した。但し、上記実施例 1 の構成と異なり、第 1 4 図 (C) に示すように、表面の外部端子 5 6 の直下に裏面の外部端子 5 6 を配置し、下面の片面回路基板のビアホール 1 8 を直上に上面の片面回路基板のビアホール 1 8 を配置した。

[比較例 1]

15 第 1 5 図 (A) に示すように、特開平 1 0 - 1 3 0 2 8 に記載された製造方法により片面回路基板にて多層プリント配線板を構成した。第 1 5 図 (B) は、第 1 5 図 (A) に示す多層プリント配線板をドータボード 9 0 に取り付けた状態を示している。第 1 5 図 (C) は、スタック状に、ICチップ 7 0 A、7 0 B を載置した状態を示している。ここでは、導電性ペーストで非貫通孔を充填してビアホール 1 1 8 を構成し、導電性バンプを用いることなく片面回路基板を積層した。ビアホール 1 1 8 は、スタック状に配置した。ビアホールと接続する導体回路を延長したランド 1 3 6 を形成し、ICチップ 7 0 のワイヤー用のパッドからワイヤー 7 2 でランド 1 3 6 と接続した。

[比較例 2]

25 比較例 2 の多層プリント配線板は、上記比較例 1 と同様な構成であるが、導電性ペーストの代わりに、めっきにより非貫通孔を充填させた。

[比較試験]

実施例では、基板の上面に ICチップが実装された P K G 基板を接続し、基板の下面には、コンデンサなどの電子部品しか実装されていないサブトラ方式で作成された多層基板に接続させた。

30 比較例では、基板の上面には、スタック状に多層化させた ICチップを実装し、B G A を配置した側では、コンデンサなどの電子部品しか実装されていないサブトラ方式で作成された多層基板 (ドータボード 9 0) に接続させた。

それぞれ、実施例 1 及び比較例 1, 2 で作成した 5 ピースを実装前の I C チップの検査の有無、リペアーの可否 (I C チップの取り替えの有無)、信頼性試験を行った導通検査 (ヒートサイクル条件下 135℃/3 分⇔-65℃/3 分を 1 サイクルで 500 サイクル、1000 サイクル、2000 サイクル、
5 3000 サイクル行った) の結果を、第 16 図中に示す。

従来のもの (比較例) に比べて、電気接続性及び信頼性が確保されていることが確認された。

また、実施例 1 での比較において、スタック構造 (バイアホールの直上にバイアホールを配置) にせず、且つ、外部端子が反対面の外部端子の直下から外
10 れている構成が、電気接続性及び信頼性が最も優れていることが確認された。それに対して、スタック構造で、外部端子が同一位置にあるものは、劣化するのが早かった。やはり、発生した応力が緩和され難い構造であることが示された。

さらに、導電性バンプに、Cu、Zn、Sb が配合されているものは、他の
15 導電性金属に比べて、信頼性に優れていることが確認された。

以上のように、実施例 1 によれば、多層プリント配線板の両面から外部端子を接続するパッドを有していることから、その両面に別のプリント配線板などを接続することが可能となる。それにより、配線の引き出す自由度が増し、さらに I C チップの多層化、積層でき得る構造となる。

20 また、導電性バンプを用いることで信頼性を向上させることができる。Cu、Zn、Sb が配合されていることが更に信頼性を改善できる。

更に、バイアホールをスタック構造にしないことや、両面に外部端子を設けた際、外部端子の直下に反対面の外部端子を設けないことで信頼性を向上させることができる。

25

[第 2 実施形態]

まず、本発明の第 2 実施形態に係る片面回路基板を積層してなる多層プリント配線板の構成について第 17 図及び第 18 図を参照して説明する。

第 17 図 (A) は、パッケージ基板を構成する多層プリント配線板 100 の
30 構成を示し、第 17 図 (B) は該多層プリント配線板 100 に I C チップ 70 を実装した状態を示している。第 18 図 (A) は、第 17 図 (A) に示す多層

プリント配線板のICチップ70を樹脂モールドした状態を、第18図(B)は、ICチップ70を実装した多層プリント配線板100にICモジュール120を積層した状態を示している。

第17図(A)に示すように多層プリント配線板100は、2層の片面回路基板A、片面回路基板Bを積層して成る。片面回路基板Aの上面及び片面回路基板Bの下面にはソルダーレジスト層40が被覆されている。上層の片面回路基板Aの中央部には、ICチップを収容するための開口(ザグリ部)10aが形成されている。片面回路基板Aの上面には、導体回路36及びボンディングパッド36aが形成されており、該導体回路36上のソルダーレジスト層40の開口44にICモジュール接続用のBGA56が配置されている。また、該導体回路36及びボンディングパッド36p下に、絶縁性基材10を貫通する開口16にパイアホール18が形成されている。パイアホール18の下端には、下層の片面回路基板Bの導体回路28と接続するための半田バンプ24が配置されている。該片面回路基板Aと、下層の片面回路基板Bとは、接着剤層26を介して接続されている。下層の片面回路基板Bの上面中央には、ICチップ70の放熱のための金属層28aが設けられている。金属層28aの下方には、放熱用のパイアホール18aが設けられている。下層の片面回路基板Bの上面の導体回路28の下方には、回路接続用のパイアホール18が設けられている。下層の片面回路基板Bの半田バンプ24には、導体回路38が接続され、該導体回路38には、BGA56が取り付けられている。第17図(B)の平面図を第19図(B)に、第17図(B)に示す多層プリント配線板のソルダーレジスト層形成前の状態を第19図(A)に示す。第19図(A)に示すように、パイアホール18直上の導体回路36は円形に形成され、パイアホール18に直接接続されるボンディングパッド36pは、矩形に形成されており、第19図(B)に示すようにボンディングパッド36pは、ソルダーレジスト層40の楕円形状の開口44aにより一部が露出されている。ここで、第2実施形態では、開口44aの形状を楕円としたが、この形状は、円形でも、小判形状でも、多角形でも、更には、第20図(B)に示すように、全てのボンディングパッド36の先端を露出させる4角形であってもよい。

第17図(B)に示すように、多層プリント配線板100の開口10a内で

あって、上記金属層 28 a の上には、ICチップ 70 が收容される。ICチップ 70 は、ワイヤー 72 により、多層プリント配線板側ソルダーレジスト層 40 の開口 44 a 下のボンディングパッド 36 p と接続が取られる。第 17 図 (B) の平面図を第 20 図 (A) に示す。

5 第 18 図 (A) に示すように ICチップ 70 と開口 10 a には、樹脂 74 によりモールドがなされている。

第 18 図 (B) に示すように、多層プリント配線板 100 の表面側の BGA 56 には、端子 132 を介して ICモジュール 120 が接続される。一方、多層プリント配線板の裏面側の BGA 56 は、図示しないプリント配線板等に接続される。ICモジュール 120 は、端子板 130 上に載置された ICチップ 122 を樹脂 124 でモールドしてなり、ICチップ 122 と端子板 130 の端子 132 とは、ワイヤー 128 でボンディング接続されている。

第 2 実施形態の多層プリント配線板 100 では、非貫通孔に充填された導電性材料からなるバイアホール 18 にボンディングパッド 36 p を直接接続してある。即ち、導体回路 (ボンディングパッド) 36 p に至る非貫通孔に導電性材料を充填することで、導体回路 (ボンディングパッド) 36 p と導電性材料 (バイアホール) 18 とを接続してあるので、第 24 図を参照して上述した従来技術と異なり、導電性材料 (バイアホール) と導体回路 (ボンディングパッド) とをバイアホールランドを介することなく接続できる。ボンディングパッドの線幅よりも直径の大きなバイアホールランドを用いないため、配線密度を高めることができる。

また、第 2 実施形態の多層プリント配線板 100 は、表面及び裏面に BGA 56 が配置されているため、その両面に別のプリント配線板などを接続することが可能となる。例えば、表面の BGA 56 を介して ICモジュール 120 を実装した状態で、裏面の BGA 56 を介してプリント配線板に接続することができる。また、実装される ICモジュールの形態の自由度が増す。

第 2 実施形態では、表面の BGA 56 およびパッド 36 p の直下には、裏面の BGA 56 が重ならないように配置されている。即ち、第 18 図に示すように、BGA 56 を取り付けるバイアホール 18 の中心線 X1 と、裏面の BGA 56 を取り付けるバイアホール 18 の中心線 X2 とがずれるように配置されている。これにより、第 1 実施形態と同様な効果を得られる。

- 41 -

第2実施形態では、ICチップ122は発熱量の小さいメモリであり、ICチップ70は発熱量の多いロジックICである。このICチップ70の直下に金属層28aを設けて、該金属層28aにビアホール18aを介してBGA56に接続させる。その構成にすることにより、BGA56に接続されたプリント配線板側へ熱を効率よく伝達させ、放熱することができるのである。

第2実施形態の改変例に係る多層プリント配線板として、第11図及び第12図を参照して上述した第1実施形態の改変例のように構成することも可能である。

本発明の第2実施形態に係る多層プリント配線板の製造方法は、上述した第1実施形態と同様であるため説明を省略する。なお、第2実施形態の製造方法の改変例1、改変例2として、第1実施形態の製造方法の改変例1（第11図）、改変例2（第12図）と同様な構成を採用することもできる。

[第3実施形態]

引き続き、本発明の第3実施形態に係る多層プリント配線板について第21図及び第22図を参照して説明する。

第21図(A)、は、第3実施形態に係る多層プリント配線板の断面を、第21図(B)は、該多層プリント配線板にICチップを実装した状態を示している。第22図(A)は、第21図(A)の多層プリント配線板の平面図であり、第22図(B)は、第21図(B)の多層プリント配線板の平面図である。

第17図及び第19図を参照して上述した第2実施形態では、ボンディングパッド36pが矩形に形成され、該ボンディングパッド36pの1端にビアホール18が接続され、他端にワイヤー72がボンディングされた。これに対して、第3実施形態では、ビアホール18の直上に円形のボンディングパッド36pが配設され、ワイヤー72がボンディングされている。

第3実施形態の多層プリント配線板では、非貫通孔に充填された導電性材料からなるビアホール18の直上にボンディングパッド36pを配置することで、ボンディングパッドを取り回すことが無くなるので、配線密度を高めることができる。第3実施形態では、ボンディングパッドの形状を円形にしたが、この形状は、楕円形、小判形、多角形等種々の形状を採用することができる。

[実施例2]

実施例 2 の製造方法は、上述した実施例 1 と同じであるため説明を省略する。
[実施例 2 の改変例 1]

5 実施例 2 の改変例 1 の多層プリント配線板は、上記実施例 2 と同様な構成（バイアホール 18 を上下の片面基板でずらしてあり、BGA 56 を直下から外してある）であるが、導電性バンプを Sn/Zn （97 : 3）で形成した。

[実施例 2 の改変例 2]

実施例 2 の改変例 2 の多層プリント配線板は、上記実施例 2 と同様な構成であるが、導電性バンプを Sn/Sb （95 : 5）で構成した。

[実施例 2 の改変例 3]

10 実施例 2 の改変例 3 の多層プリント配線板は、上記実施例 2 と同様な構成であるが、導電性バンプを Sn/Pb （97 : 3）で構成した。

[実施例 2 の改変例 4]

実施例 2 の改変例 4 の多層プリント配線板は、上記実施例 2 と同様な構成であるが、導電性バンプを Sn/Ag （95 : 5）で構成した。

15 [実施例 2 改 1]

実施例 2 の改 1 の多層プリント配線板は、導電性バンプを Sn/Su （97 : 3）で構成した。但し、上記実施例 2 の構成と異なり、第 14 図（A）に示すように、表面の外部端子 56 の直下に裏面の外部端子 56 を配置した。

[実施例 2 改 2]

20 実施例 2 の改 1 の多層プリント配線板は、導電性バンプを Sn/Su （97 : 3）で構成した。但し、上記実施例 2 の構成と異なり、第 14 図（B）に示すように、下面の片面回路基板のバイアホール 18 を直上に上面の片面回路基板のバイアホール 18 を配置した。

[実施例 2 改 3]

25 実施例 2 の改 1 の多層プリント配線板は、導電性バンプを Sn/Su （97 : 3）で構成した。但し、上記実施例 2 の構成と異なり、第 14 図（C）に示すように、表面の外部端子 56 の直下に裏面の外部端子 56 を配置し、下面の片面回路基板のバイアホール 18 を直上に上面の片面回路基板のバイアホール 18 を配置した。

30 [比較例 3]

第 15 図（A）に示すように、特開平 10-13028 に記載された製造方法により片面回路基板にて多層プリント配線板を構成した。第 15 図（B）は、第 15 図（A）に示す多層プリント配線板をドータボード 90 に取り付けた状

態を示している。第15図(C)は、スタック状に、ICチップ70A、70Bを載置した状態を示している。ここでは、導電性ペーストで非貫通孔を充填してバイアホール118を構成し、導電性パンプを用いることなく片面回路基板を積層した。バイアホール118は、スタック状に配置した。バイアホールと接続する導体回路を延長したランド136を形成し、ICチップ70のワイヤー用のパッドからワイヤー72でランド136と接続した。

[比較例4]

比較例4の多層プリント配線板は、上記比較例3と同様な構成であるが、導電性ペーストの代わりに、めっきにより非貫通孔を充填させた。

[比較試験]

実施例2では、基板の上面にICチップが実装されたPKG基板を接続し、基板の下面には、コンデンサなどの電子部品しか実装されていないサブトラ方式で作成された多層基板に接続させた。

比較例3、4では、基板の上面には、スタック状に多層化させたICチップを実装し、BGAを配置した側では、コンデンサなどの電子部品しか実装されていないサブトラ方式で作成された多層基板(ドータボード90)に接続させた。

それぞれ、実施例1及び比較例3、4で作成した5ピースを簡易にインダクタンスを測定した平均値を第23図中に示す。測定結果はシミュレーション結果である。同時に、信頼性試験を行った導通検査(ヒートサイクル条件下 135℃/3分⇔-65℃/3分を1サイクルで500サイクル、1000サイクル、2000サイクル、3000サイクル行った)の結果を示す。

従来のもの(比較例)に比べて、インダクタンスを小さくでき、電気特性や信頼性が確保されていることが確認された。導電性パンプに、Cu、Zn、Sbが配合されているものは、他の導電性金属に比べて、信頼性に優れていることが確認された。更に、スタック構造(バイアホールの直上にバイアホールを配置)にせず、且つ、外部端子が反対面の外部端子の直下から外れている構成が、電気接続性及び信頼性が優れていることが確認された。

導電性パンプの無い比較例の構造は、接合面での剥がれなどが早期に発生するため信頼性が低下した。

実施例の形態では、デッドスペースを小さくすることができる。このため、

比較例の形態のものと比較すると同じクロック数のＩＣを実装したとしても５～１０％近く小型化することが可能である。

それは、ＩＣパッドのワイヤーのパッド付近におけるデッドスペース（実質的に配線を形成することができないエリアを指す）が少なくなるからである。

5 以上のように、実施例２によれば、非貫通孔無いを導電性材料で充填されたバイアホール上の導体回路にワイヤーを接続させているため、配線のデッドスペースが小さくなり、小型化することができる。

また、インダクタンスを低下するなどの電気特性も向上させることができる。

10 更に、導電性バンプを用いることで信頼性が向上する。バイアホールをスタック構造にしないことや両面に外部端子を設けた場合には、外部端子の直下に反対面の外部端子を設けないことで、信頼性を向上させることができる。

請 求 の 範 囲

1. 電子部品が実装され、外部端子を有する多層プリント配線板において、前記外部端子を両面に配置したことを特徴とする多層プリント配線板。
2. 電子部品が実装され、外部端子を有する多層プリント配線板において、
5 実装エリアに電子部品を収容するザグリを設け、
前記外部端子を両面に配置したことを特徴とする多層プリント配線板。
3. 前記片面の外部端子の直下から外して、前記反対面の外部端子を配置したことを特徴とする請求の範囲第1項又は第2項に記載の多層プリント配線板。
4. 前記外部端子は、スタック状のバイアホールに接続され、かつ、外部端
10 子に接続されるバイアホールは、隣接層のバイアホールと中心線をずらして配置されていることを特徴とする請求の範囲第1項～第3項のいずれか1に記載の多層プリント配線板。
5. 前記多層プリント配線板は、絶縁材料に形成された非貫通孔に導電性材料が充填されて成る片面もしくは両面回路基板を積層することで形成されていることを特徴とする請求の範囲第1項～第4項のいずれか1に記載の多層プリント配線板。
15
6. 前記片面もしくは両面回路基板は、非貫通孔に充填された導電性材料上に形成された導電性バンプを介して相互に接続されていることを特徴とする請求の範囲第5項の多層プリント配線板。
7. 実装する電子部品に対してボンディングパッドからワイヤーボンディングする多層プリント配線板において、
20 絶縁材料の片面もしくは両面に導体回路が形成され、導体回路へ至る非貫通孔に導電性材料が充填された基板で、
前記非貫通孔の直上の導体回路を前記ボンディングパッドとして用いることを特徴とする多層プリント配線板。
25
8. 実装する電子部品に対してボンディングパッドからワイヤーボンディングする多層プリント配線板において、
絶縁材料の片面もしくは両面に導体回路が形成され、導体回路へ至る非貫通孔に導電性材料が充填された基板で、
30 前記非貫通孔の直上の導体回路を前記ボンディングパッドとして用いて、前記ボンディングパッドの直下に非貫通孔を配置したことを特徴とする多層プリント配線板。
9. 実装する電子部品に対してボンディングパッドからワイヤーボンディン

グする多層プリント配線板において、

絶縁材料の片面もしくは両面に導体回路が形成され、導体回路へ至る非貫通孔に導電性材料が充填された基板で、非貫通孔に充填された導電性材料上に形成された導電性バンプを介して積層され、

- 5 前記非貫通孔の直上の導体回路を前記ボンディングパッドとして用いることを特徴とする多層プリント配線板。

10 10. 実装する電子部品に対してボンディングパッドからワイヤーボンディングする多層プリント配線板において、

- 10 絶縁材料の片面もしくは両面に導体回路が形成され、導体回路へ至る非貫通孔に導電性材料が充填された基板で、非貫通孔に充填された導電性材料上に形成された導電性バンプを介して積層され、

前記非貫通孔の直上の導体回路を前記ボンディングパッドとして用いて、前記ボンディングパッドの直下に非貫通孔を配置したことを特徴とする多層プリント配線板。

- 15 11. 前記ボンディングパッドを矩形形状に形成したことを特徴とする請求の範囲第7項～第10項のいずれか1に記載の多層プリント配線板。

12. 前記導電性バンプは、ボンディングパッドの導体回路の反対面に形成されることを特徴とする請求の範囲第9項又は第10項に記載の多層プリント配線板。

- 20 13. 外部端子を両面に配置したことを特徴とする請求の範囲第7項～第10項のいずれか1に記載の多層プリント配線板。

14. 実装エリアに電子部品を収容するザグリを設け、

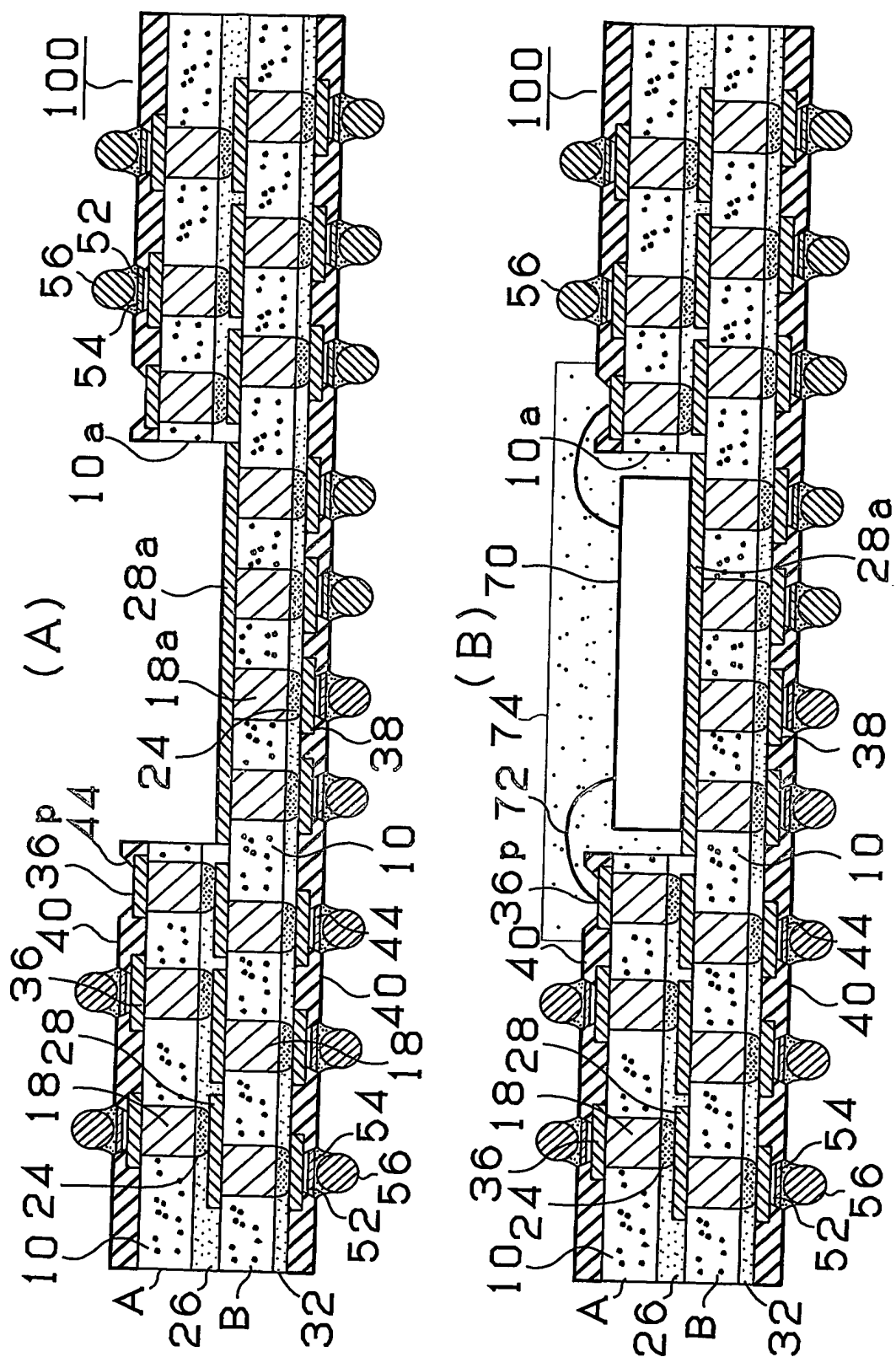
前記外部端子を両面に配置したことを特徴とする請求の範囲第7項～第10項のいずれか1に記載の多層プリント配線板。

- 25 15. 前記片面の外部端子及びパッドの直下から外して、前記反対面の外部端子を配置したことを特徴とする請求の範囲第13項又は第14項に記載の多層プリント配線板。

- 30 16. 前記電子部品の実装領域には、ビアが形成され、近接する部分に放熱機能を有する金属層が形成されていることを特徴とする請求項第1項～第6項、第13項、第14項にいずれか1に記載の多層プリント配線板。

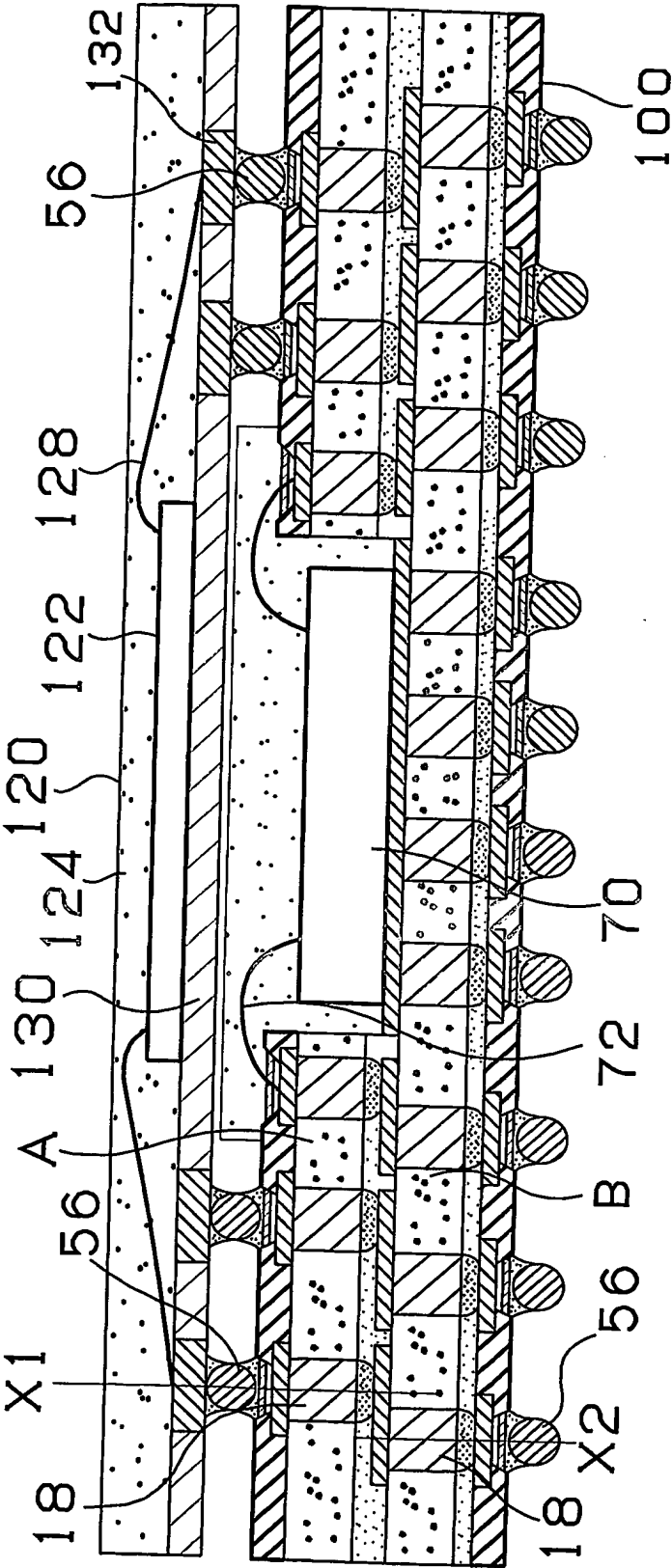
17. 前記外部端子は、BGAであることを特徴とする請求の範囲第1項～第6項、第10項～第14項のいずれか1に記載の多層プリント配線板。

四
一
紙



2/24

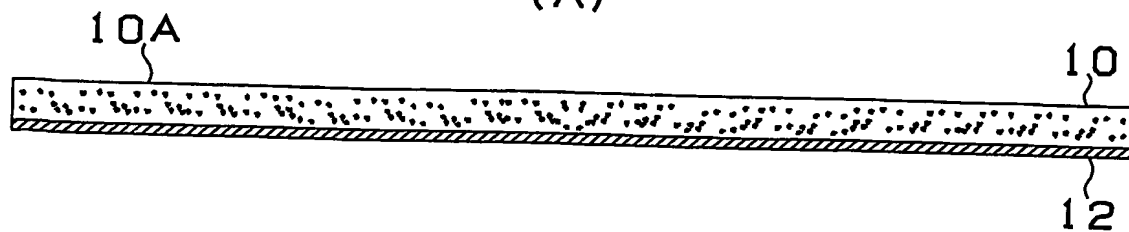
第2図



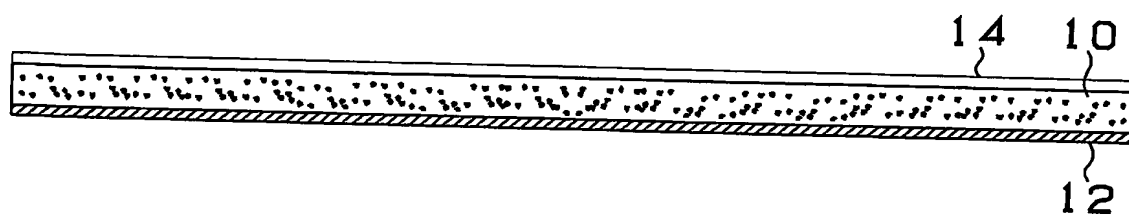
3/24

第3図

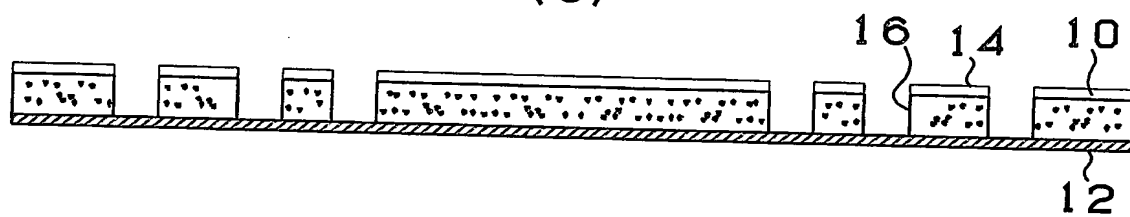
(A)



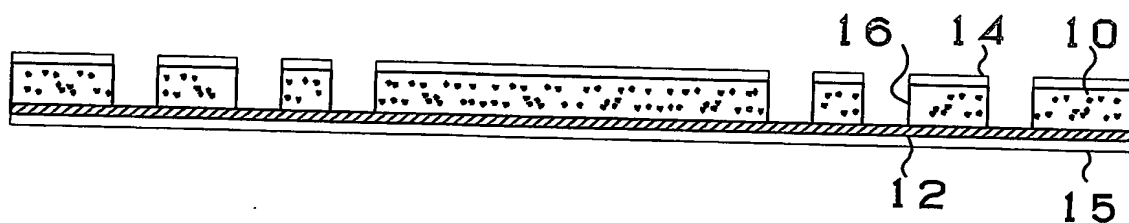
(B)



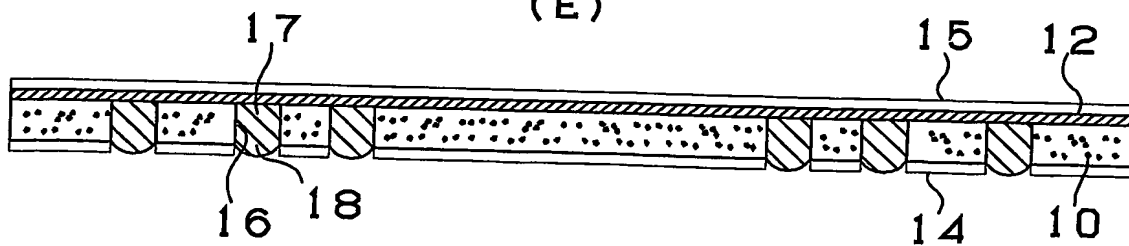
(C)



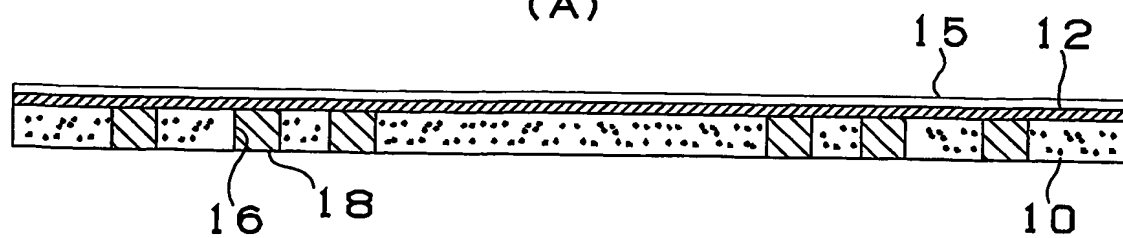
(D)



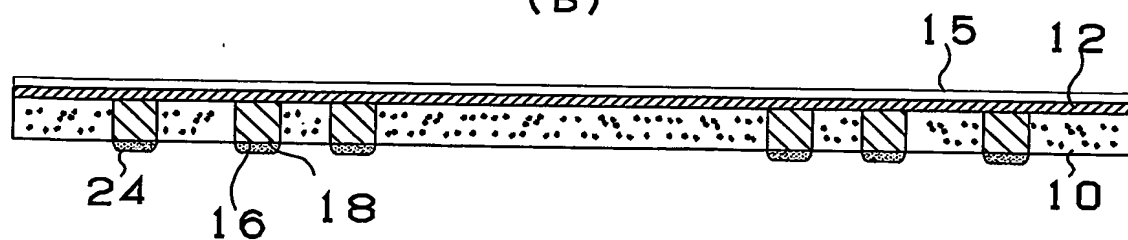
(E)



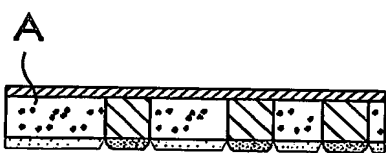
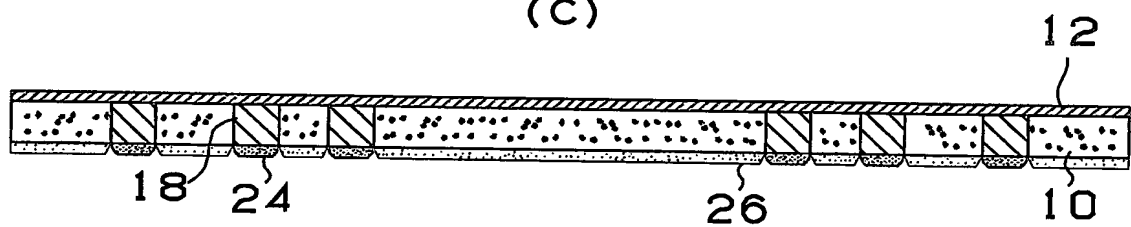
4/24
第4図
(A)



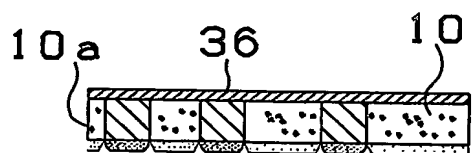
(B)



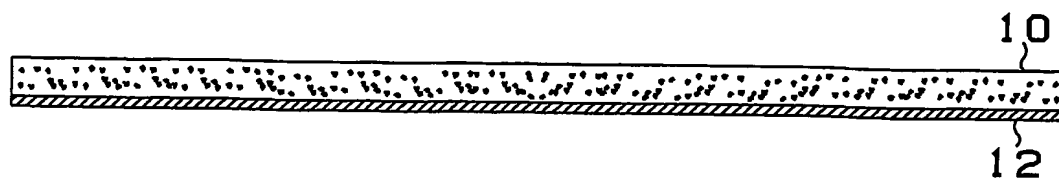
(C)



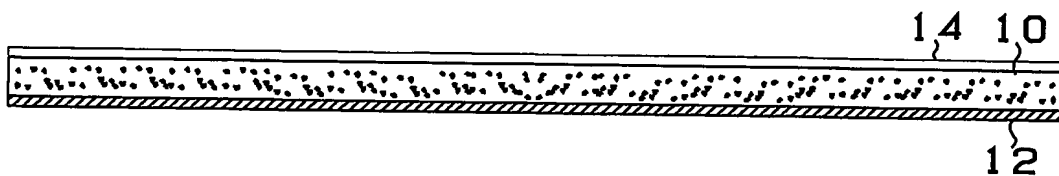
(D)



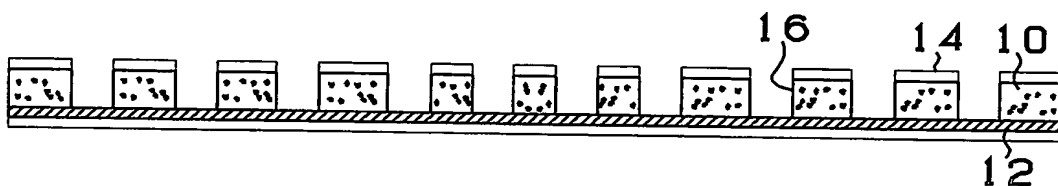
5/24
第5図
(A)



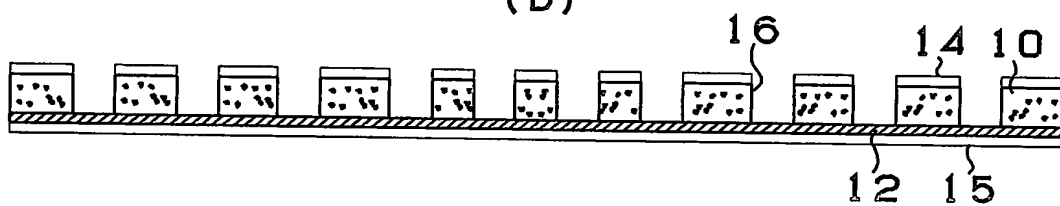
(B)



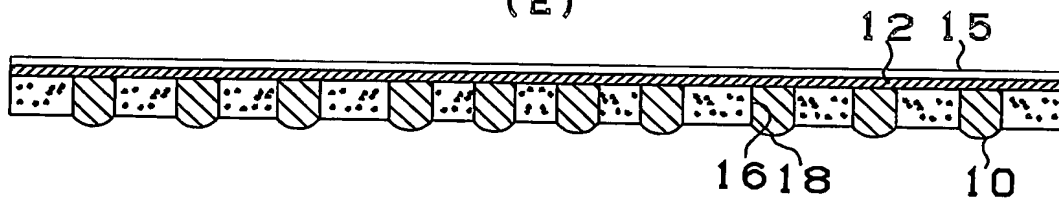
(C)



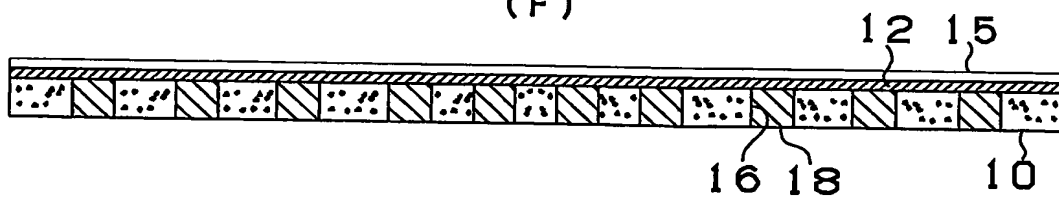
(D)



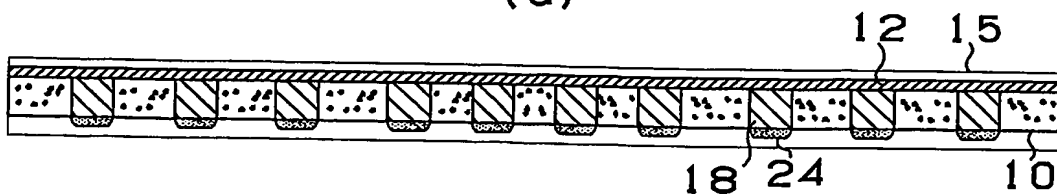
(E)



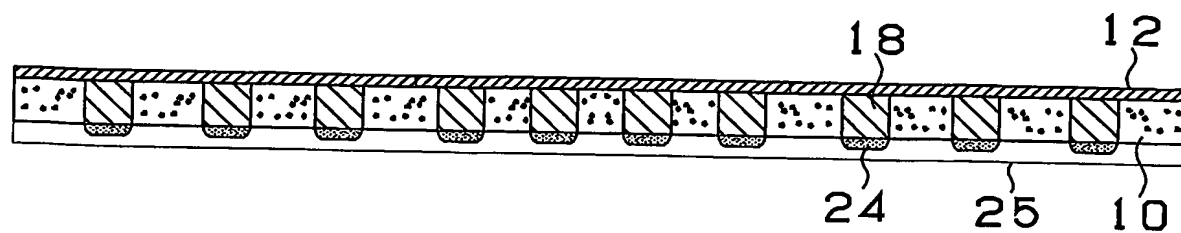
(F)



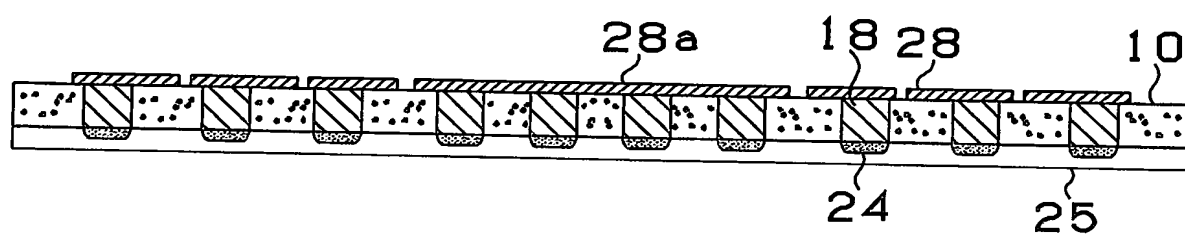
(G)



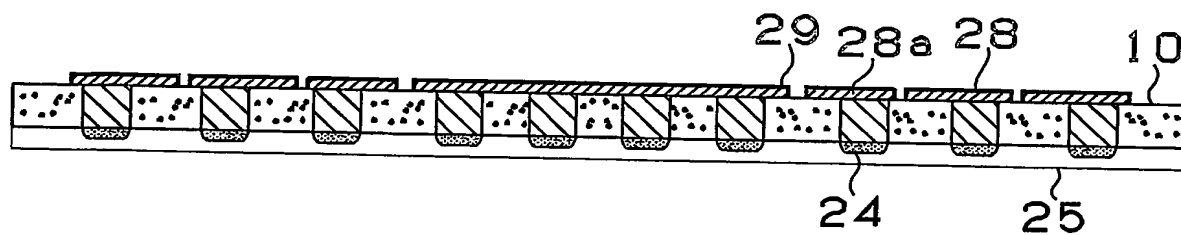
6/24
第6図
(A)



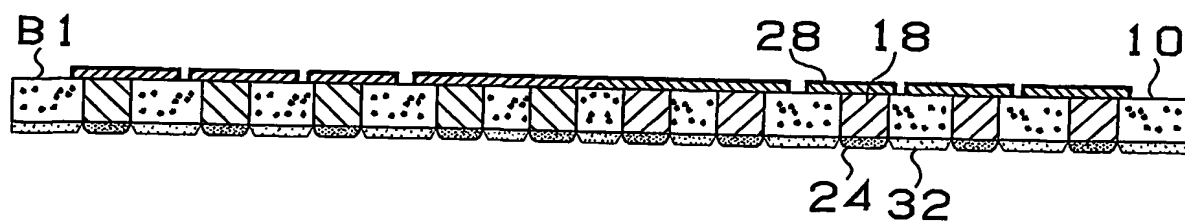
(B)



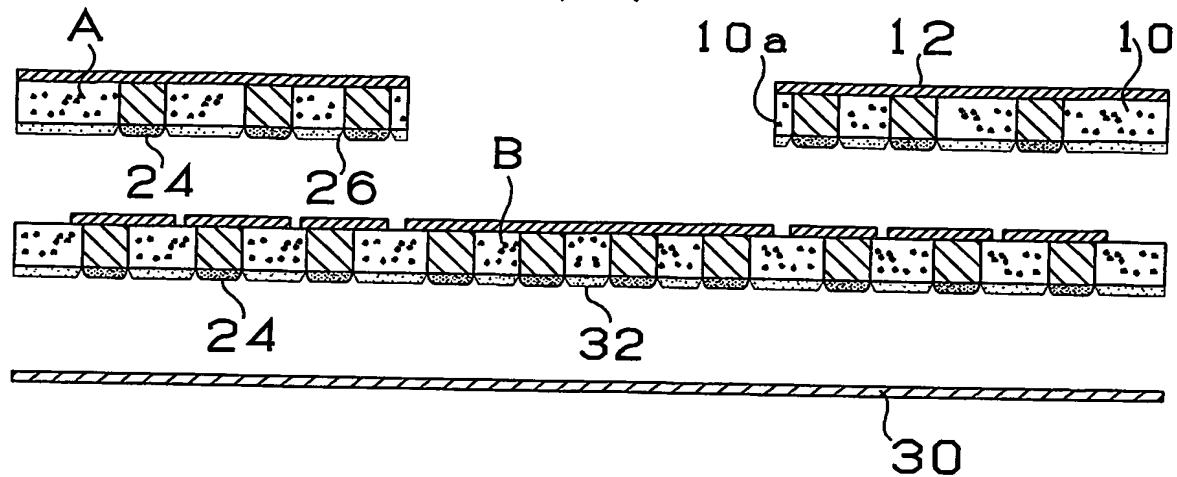
(C)



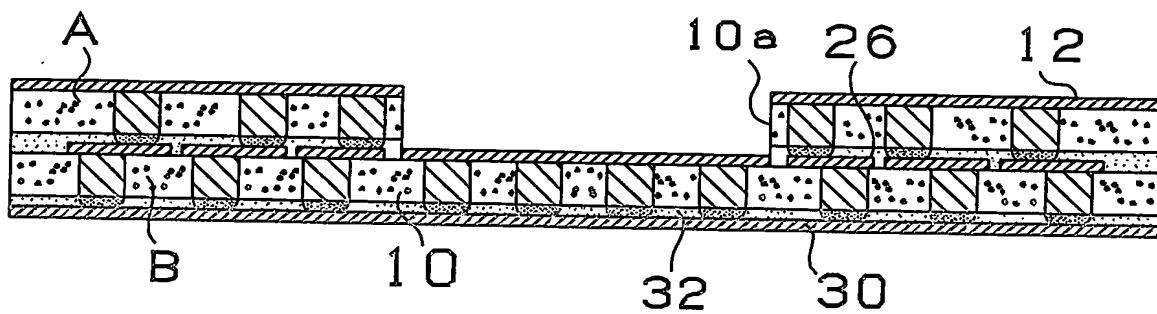
(D)



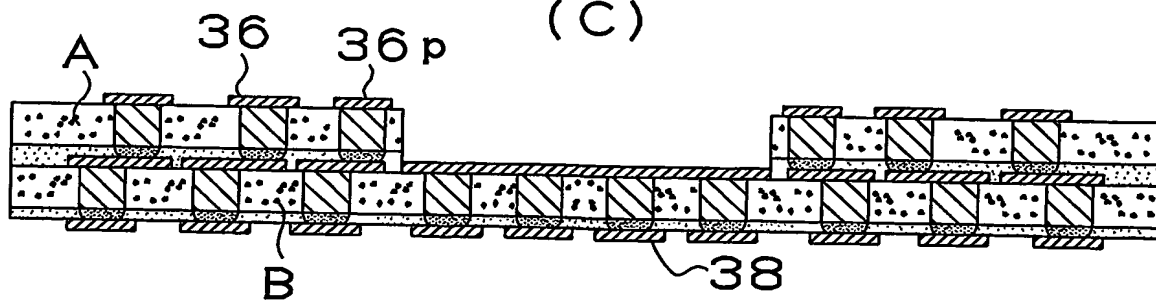
7/24
第7図
(A)



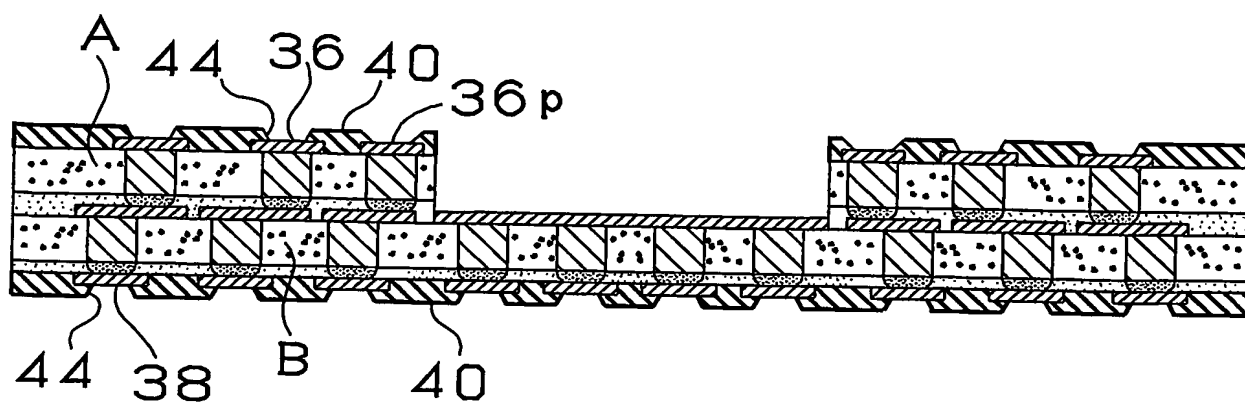
(B)



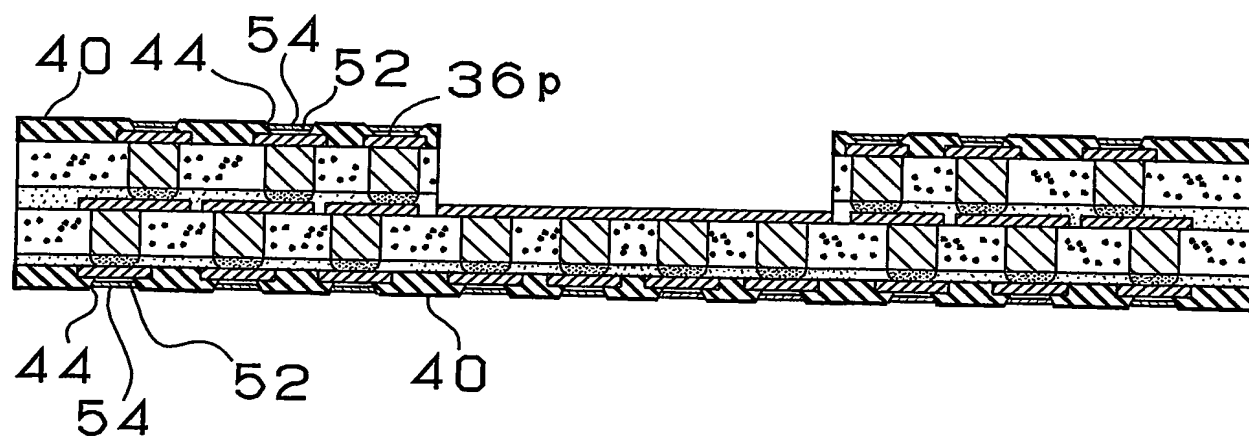
(C)



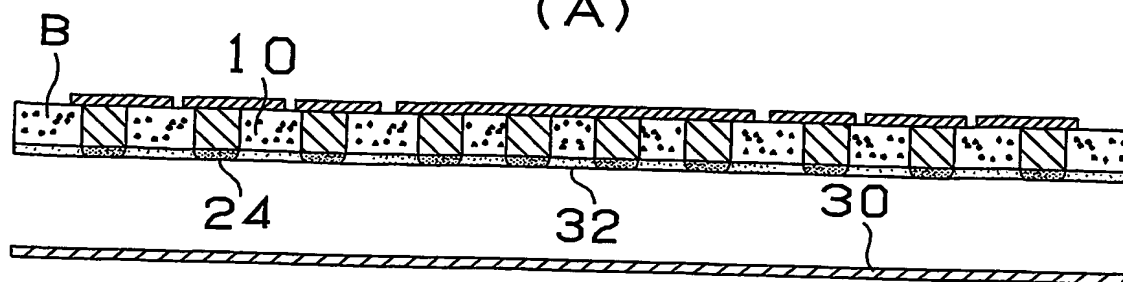
8/24
第8図
(A)



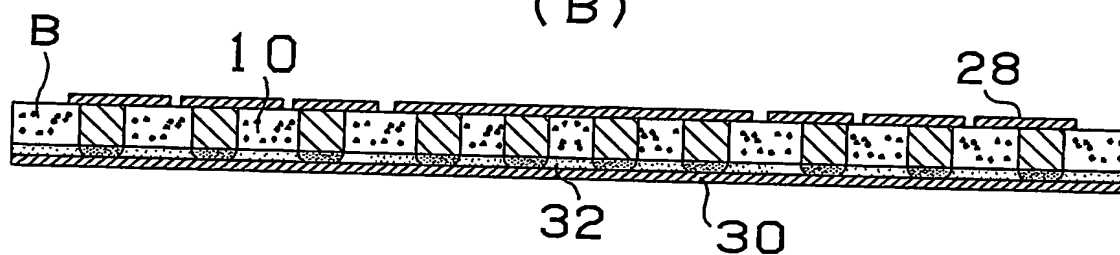
(B)



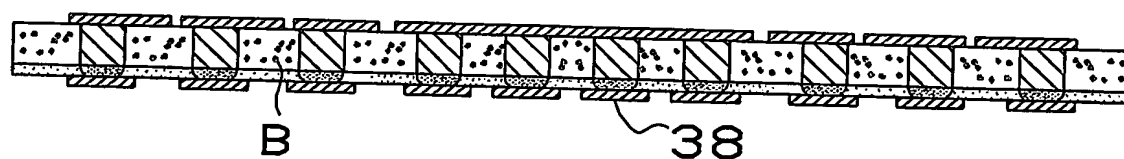
9/24
第9図
(A)



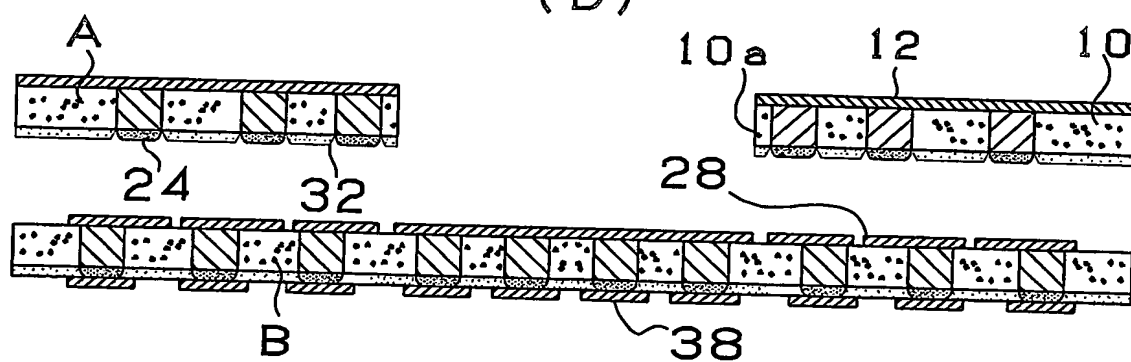
(B)



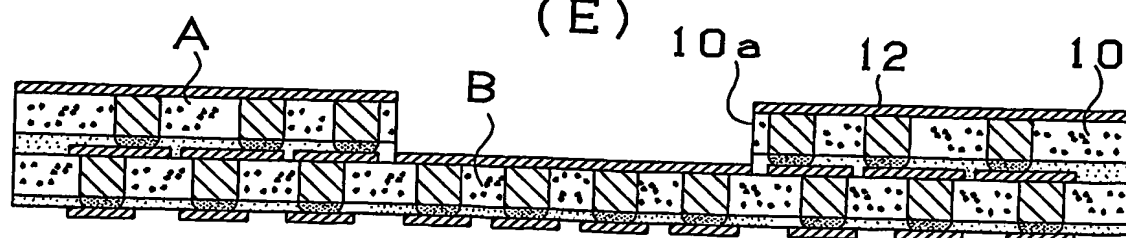
(C)



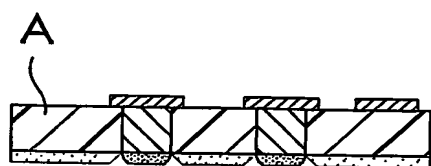
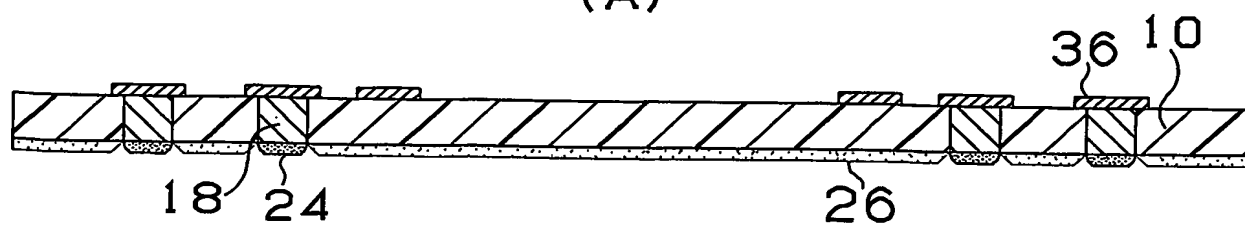
(D)



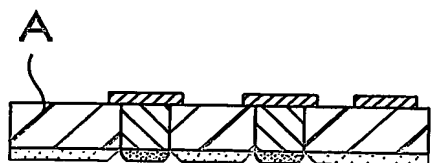
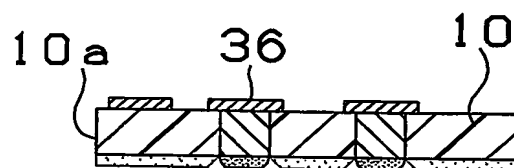
(E)



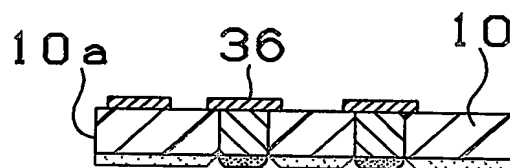
10/24
第10図
(A)



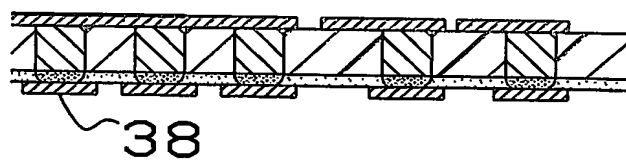
(B)



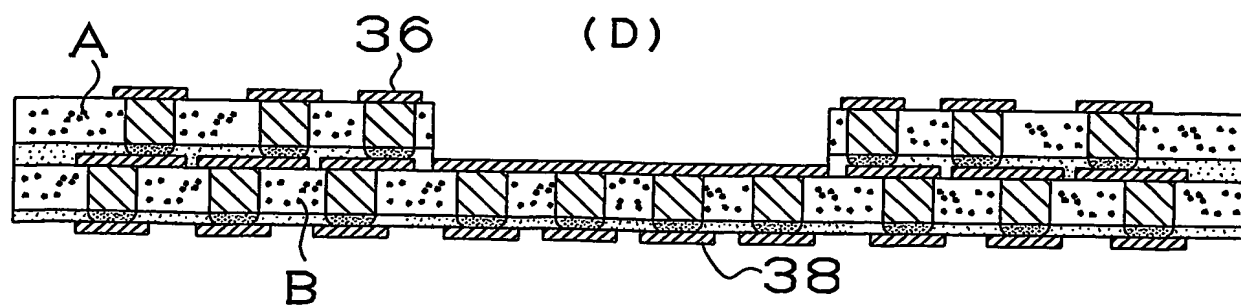
(C)



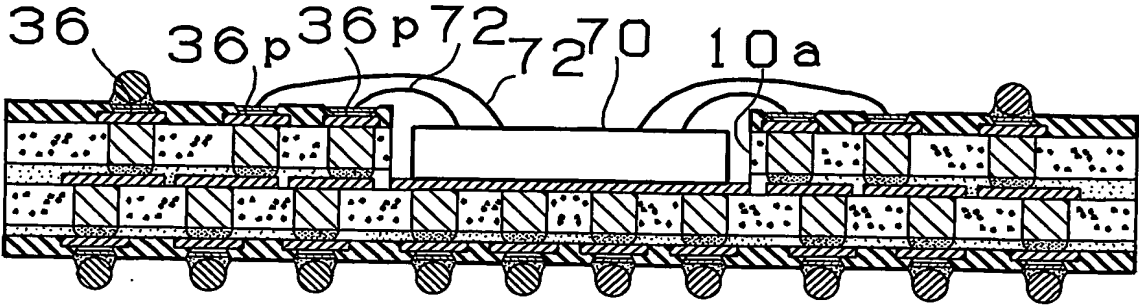
B



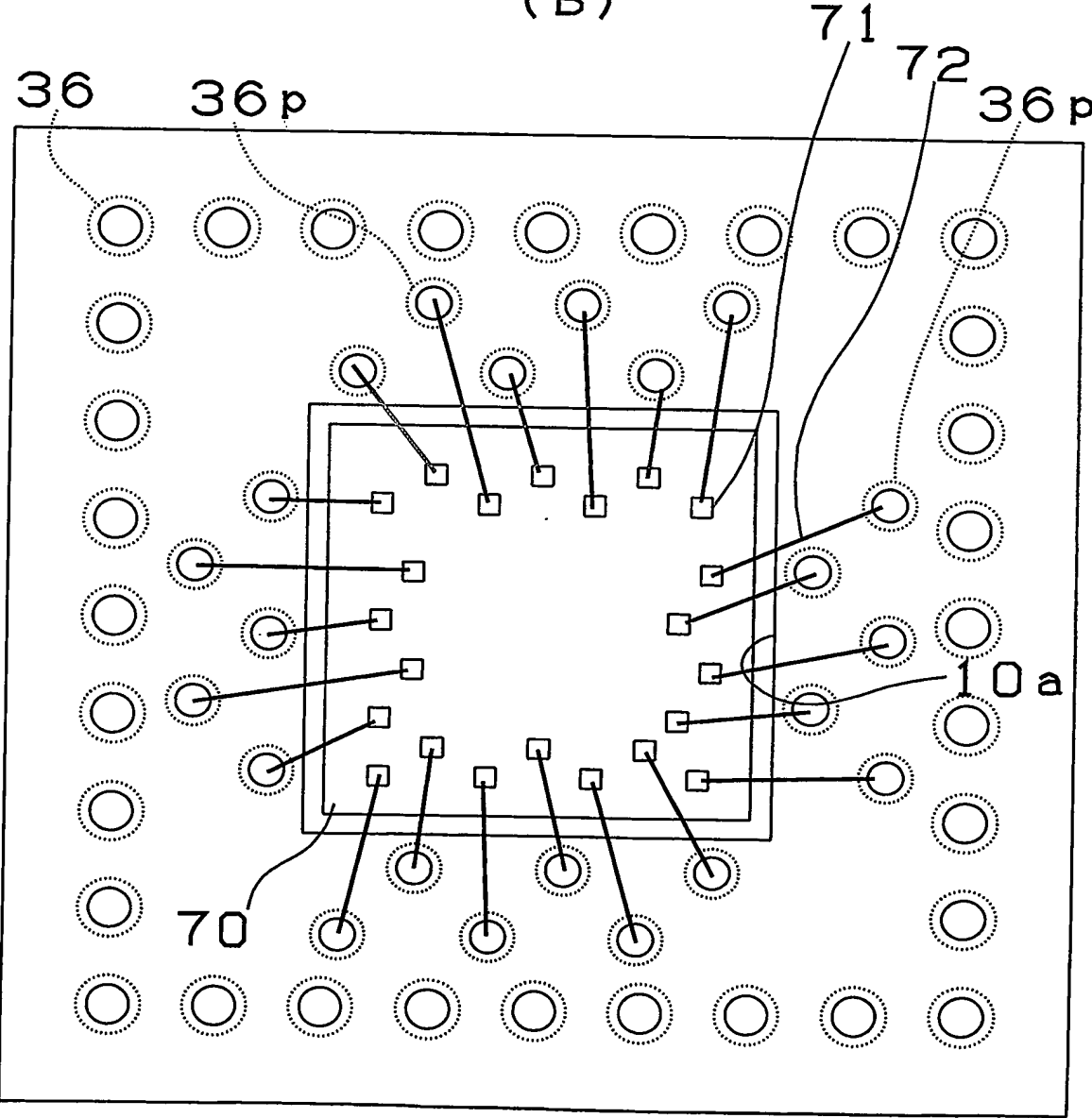
(D)



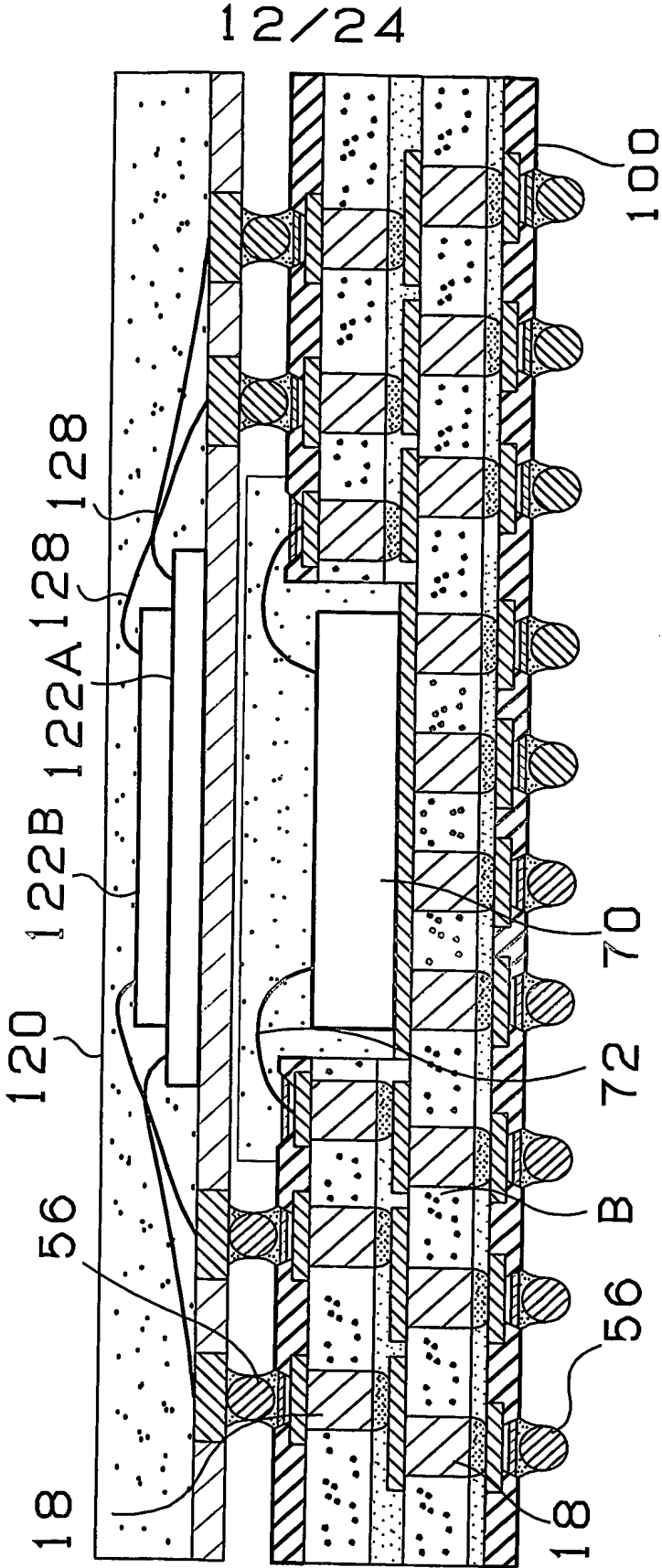
11/24
第11図
(A)



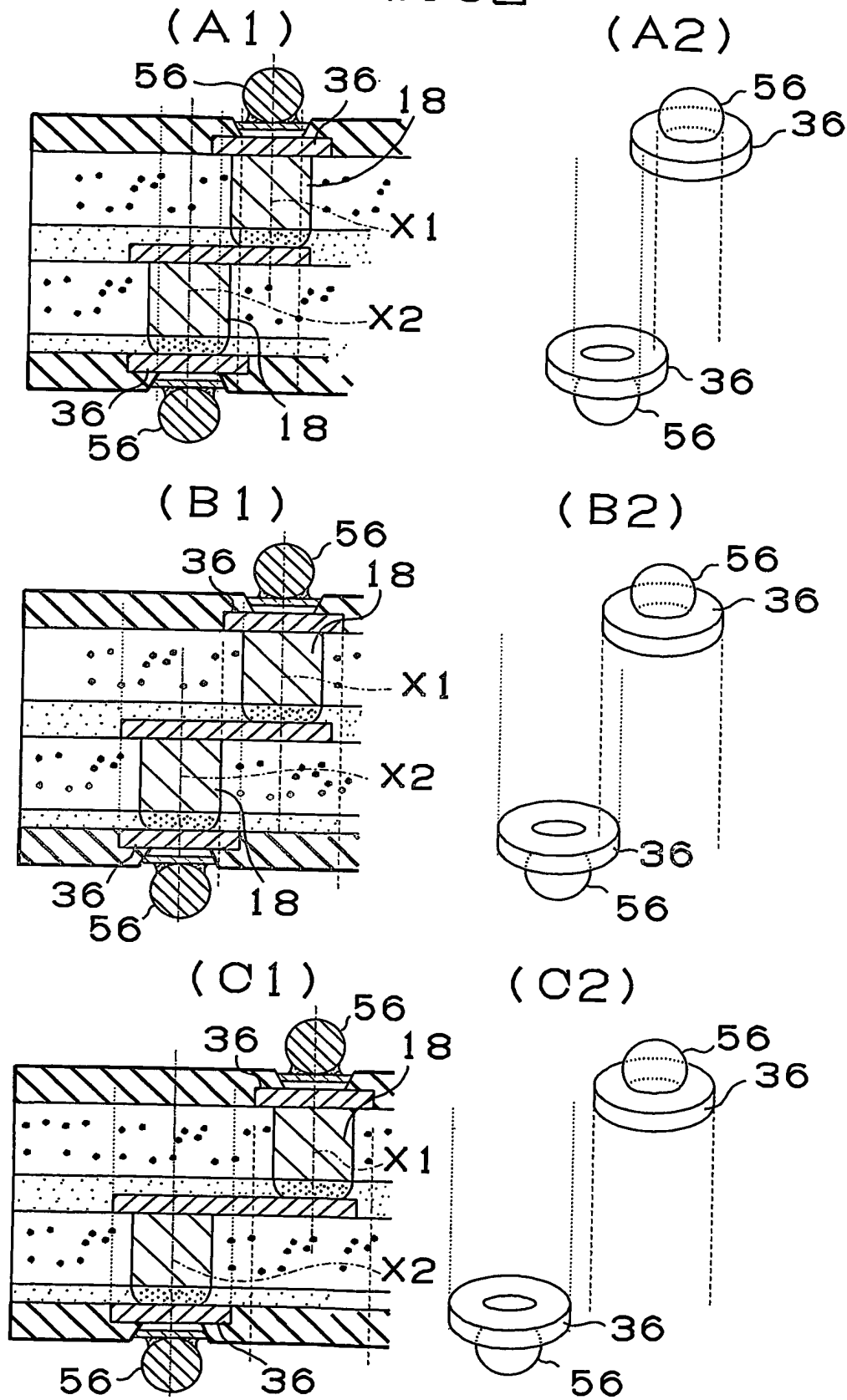
(B)



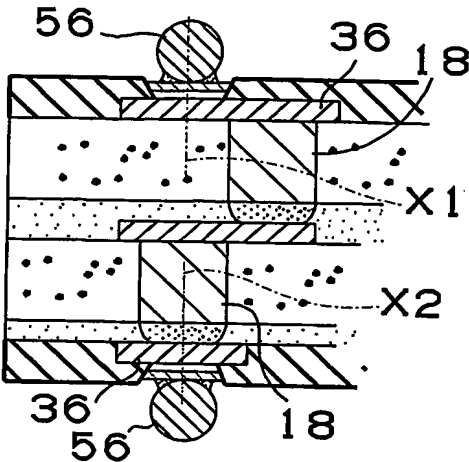
第12図



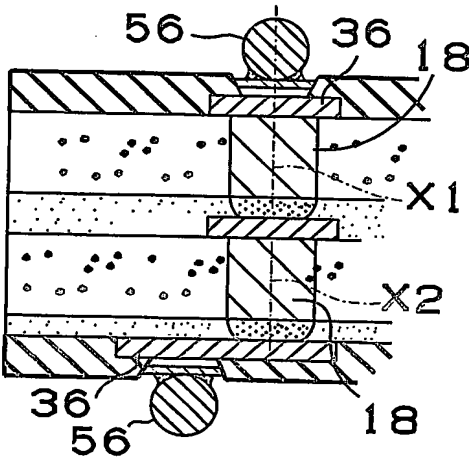
13/24
第13図



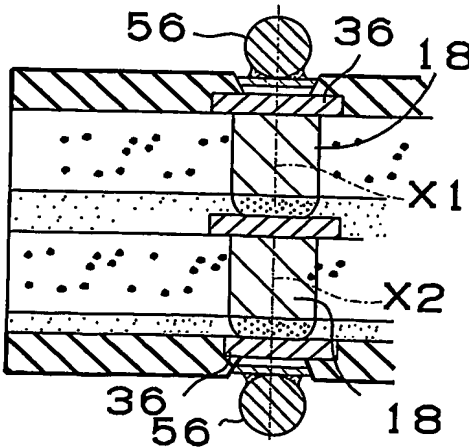
14/24
第14図
(A)



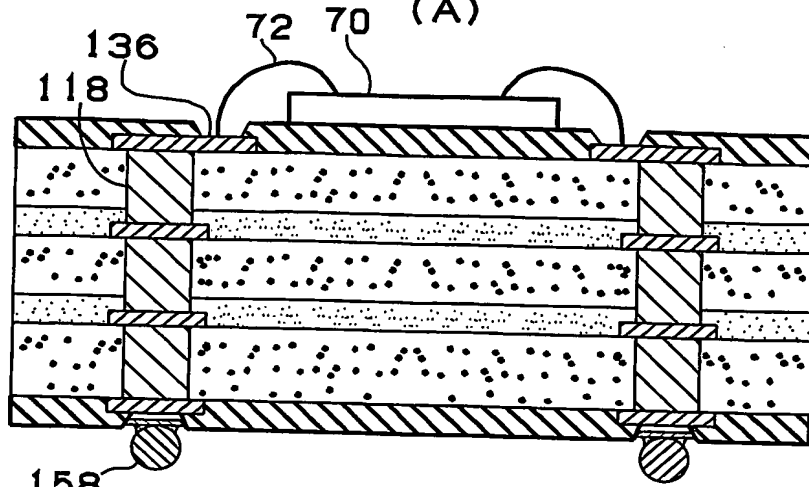
(B)



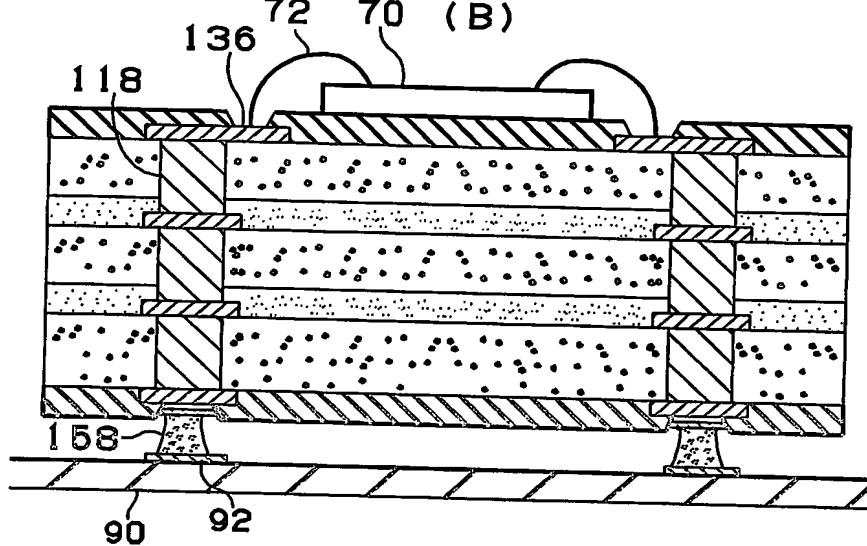
(C)



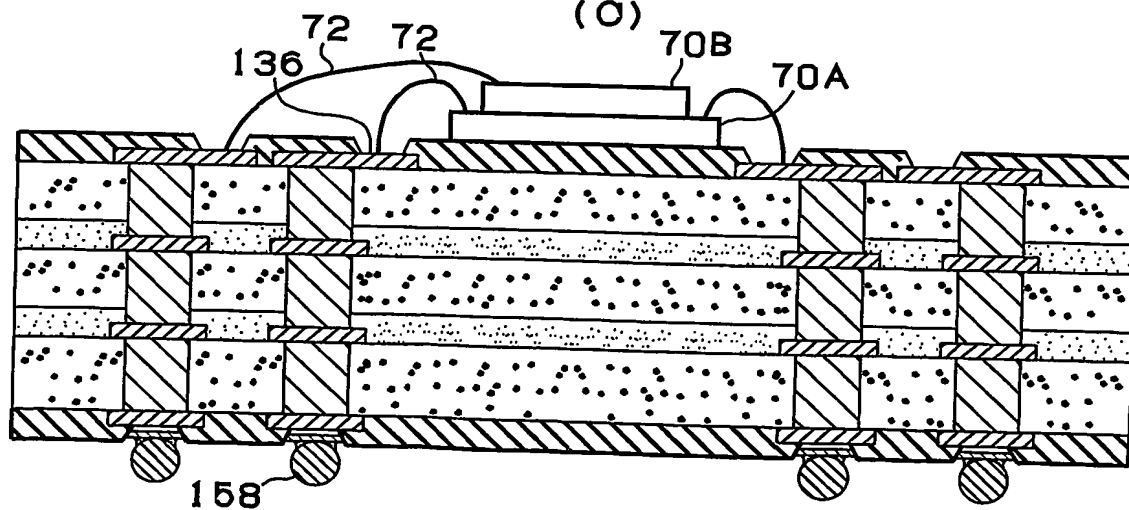
15/24
第15図
(A)



72 70 (B)



(C)



16/24

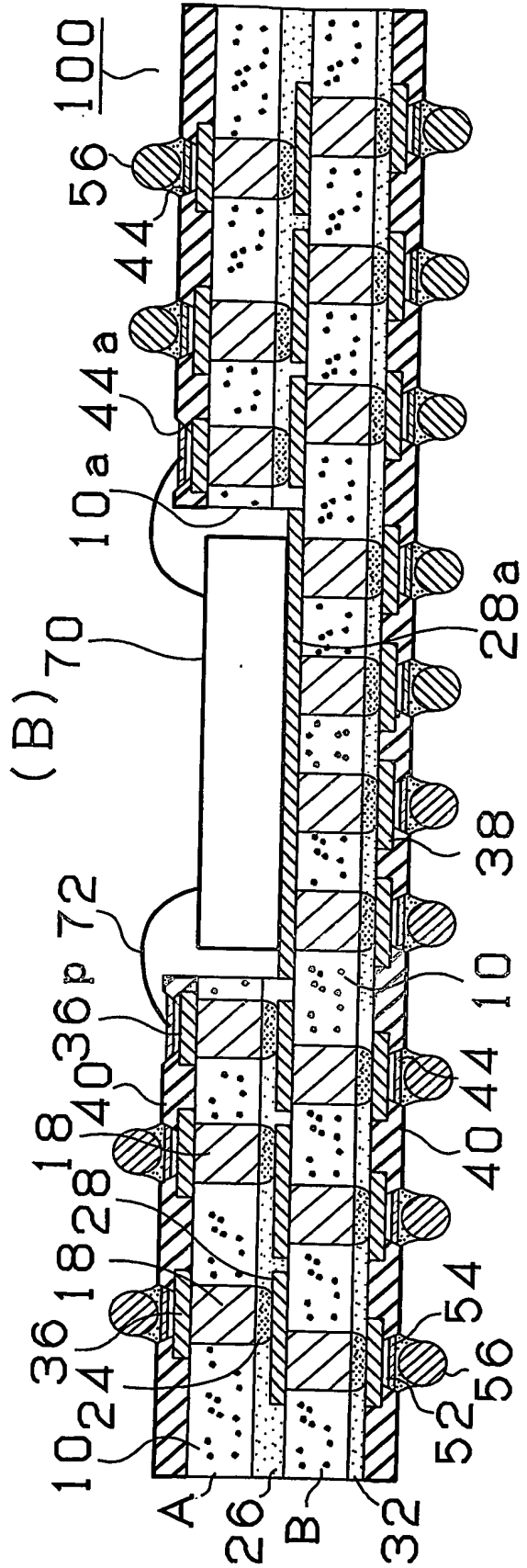
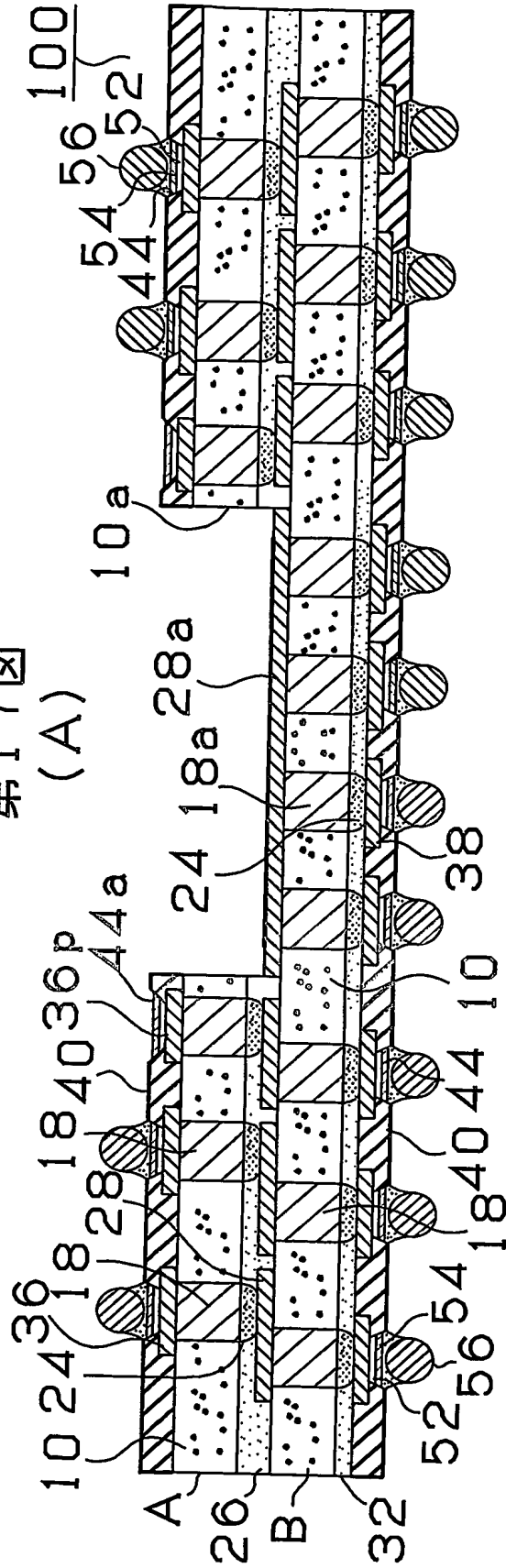
第16図

分類	検査の可否	リペアーの可否				
			500 Cycle	1000 Cycle	2000 Cycle	3000 Cycle
実施例 1	可	可	○	○	○	○
実施例 1 の改変例 1	可	可	○	○	○	○
実施例 1 の改変例 2	可	可	○	○	○	○
実施例 1 の改変例 3	可	可	○	○	○	△
実施例 1 の改変例 4	可	可	○	○	○	△
実施例 1 改 1	可	可	○	○	○	△
実施例 1 改 2	可	可	○	○	○	△
実施例 1 改 3	可	可	○	○	△	▲
比較例 1	—	否	○	△	×	×
比較例 2	—	否	○	△	▲	×

...

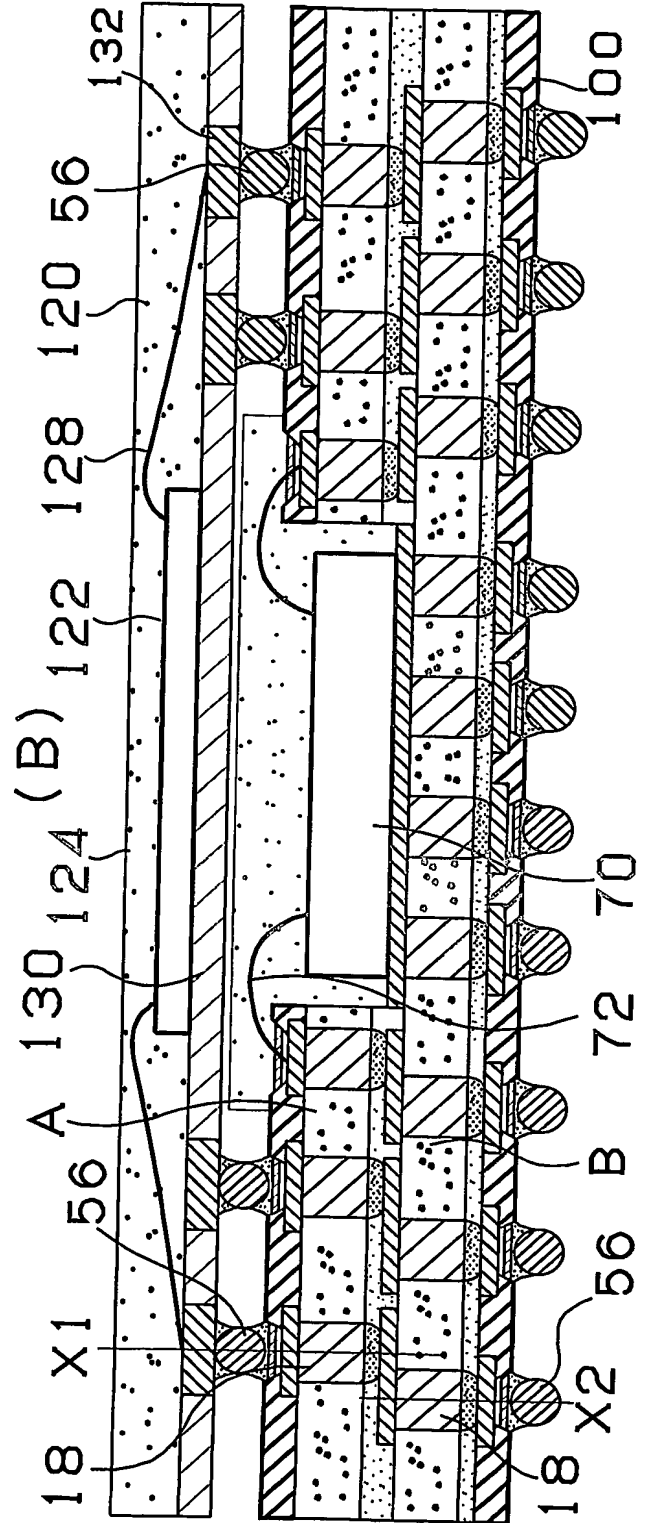
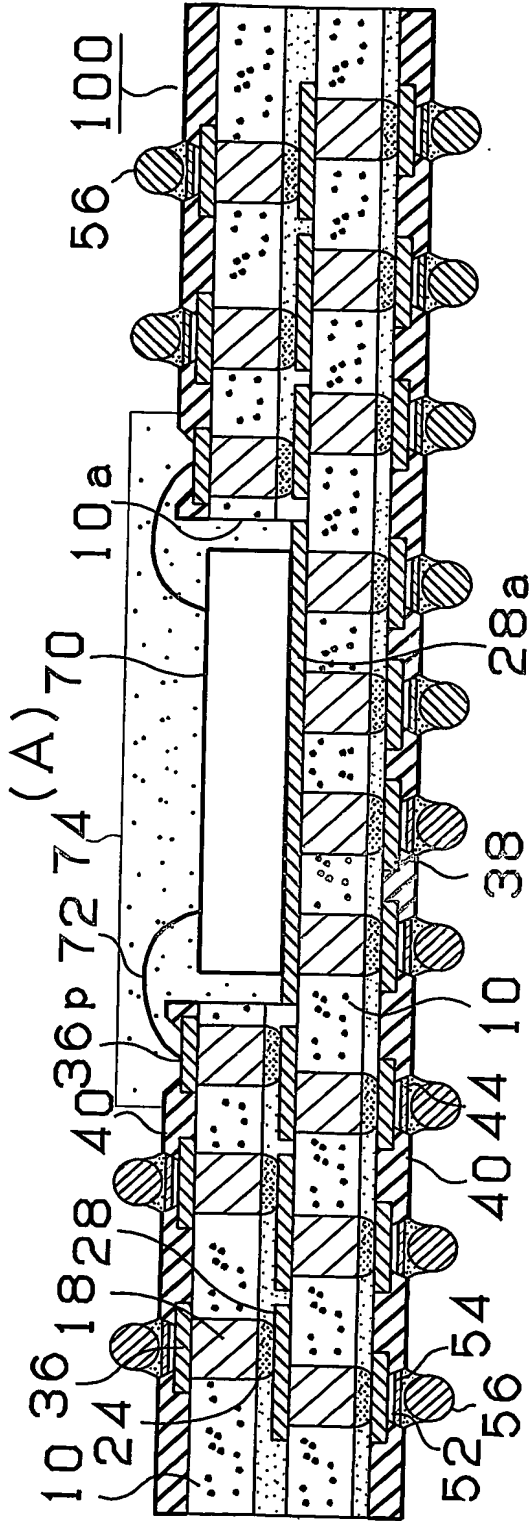
- ：全ピース導通試験問題なし
△：1－2ピースで短絡発生
▲：3－4ピースで短絡発生
×：全ピースで短絡発生

圖
一
紙

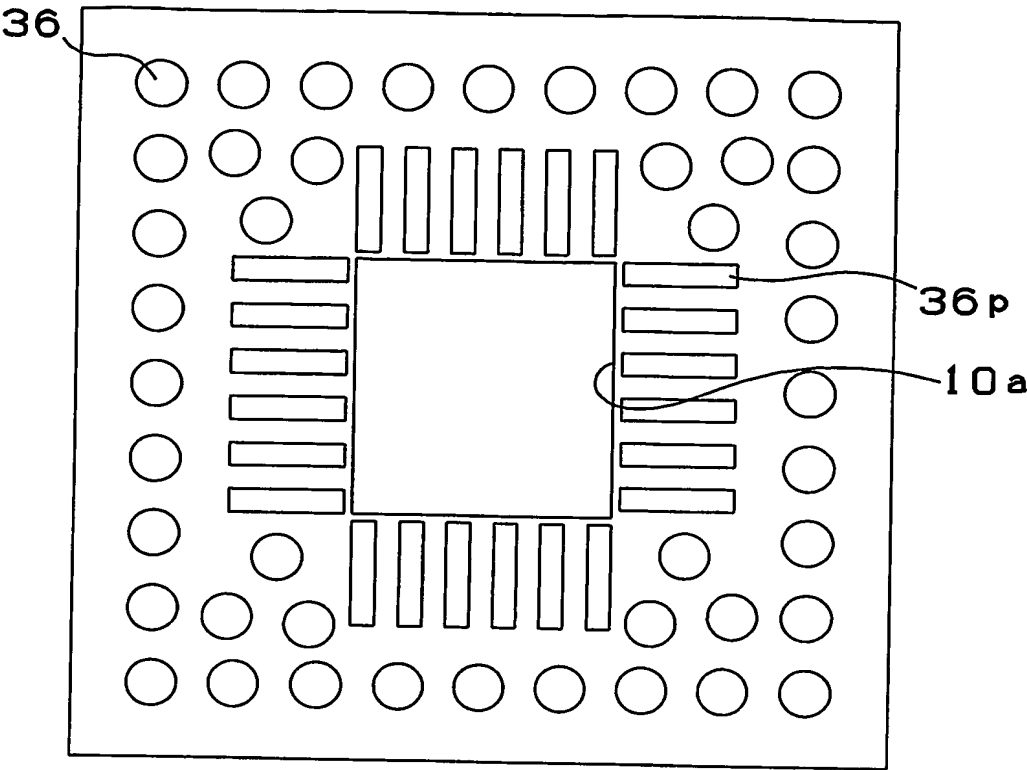


18/24

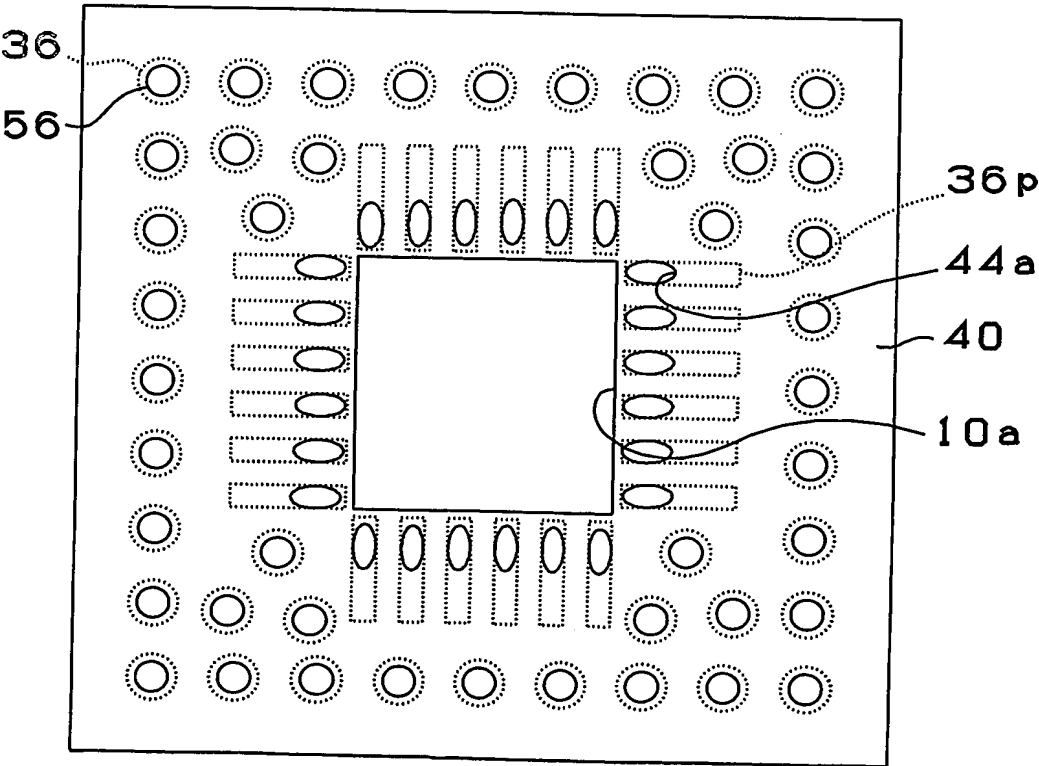
第18図



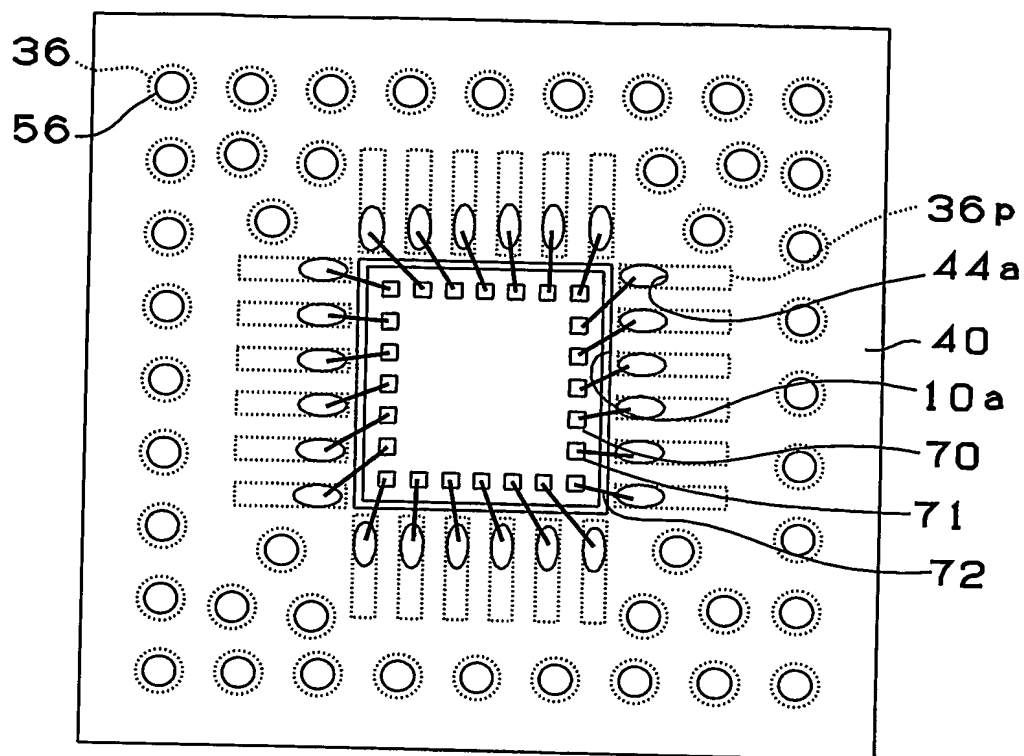
19/24
第19図
(A)



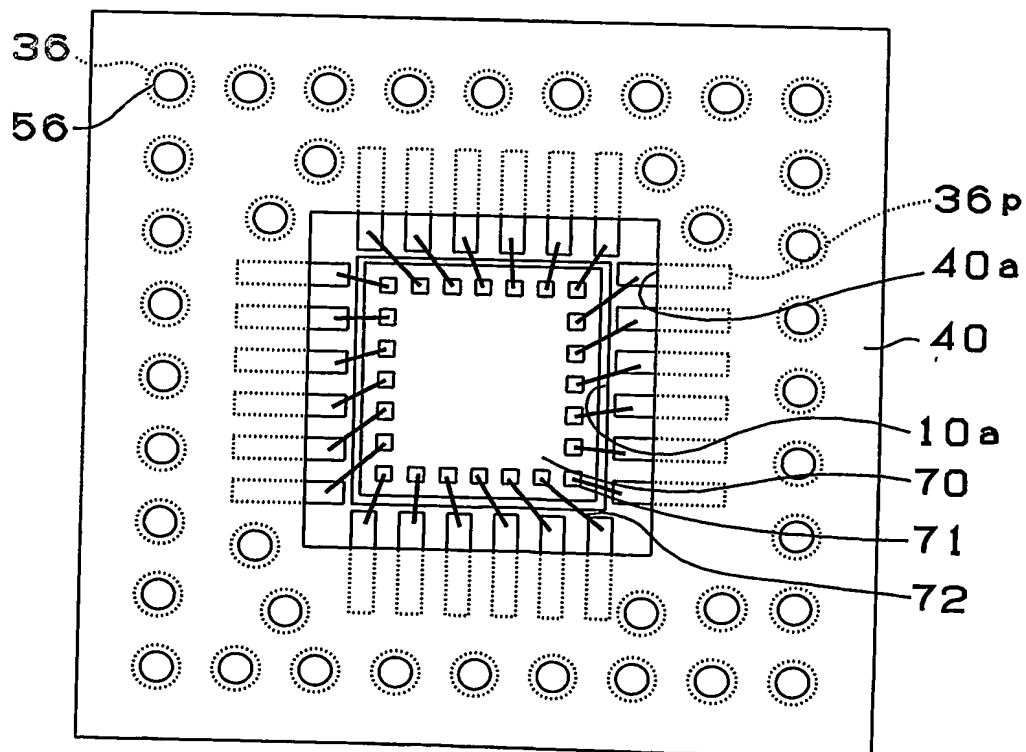
(B)



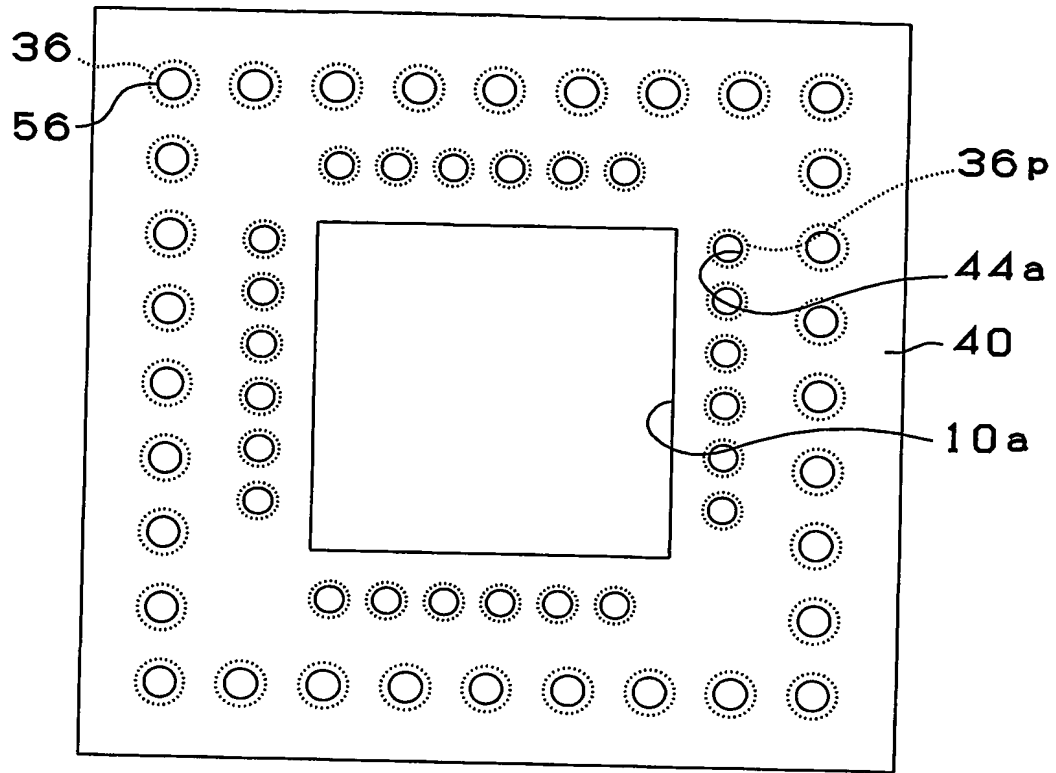
20/24
第20図
(A)



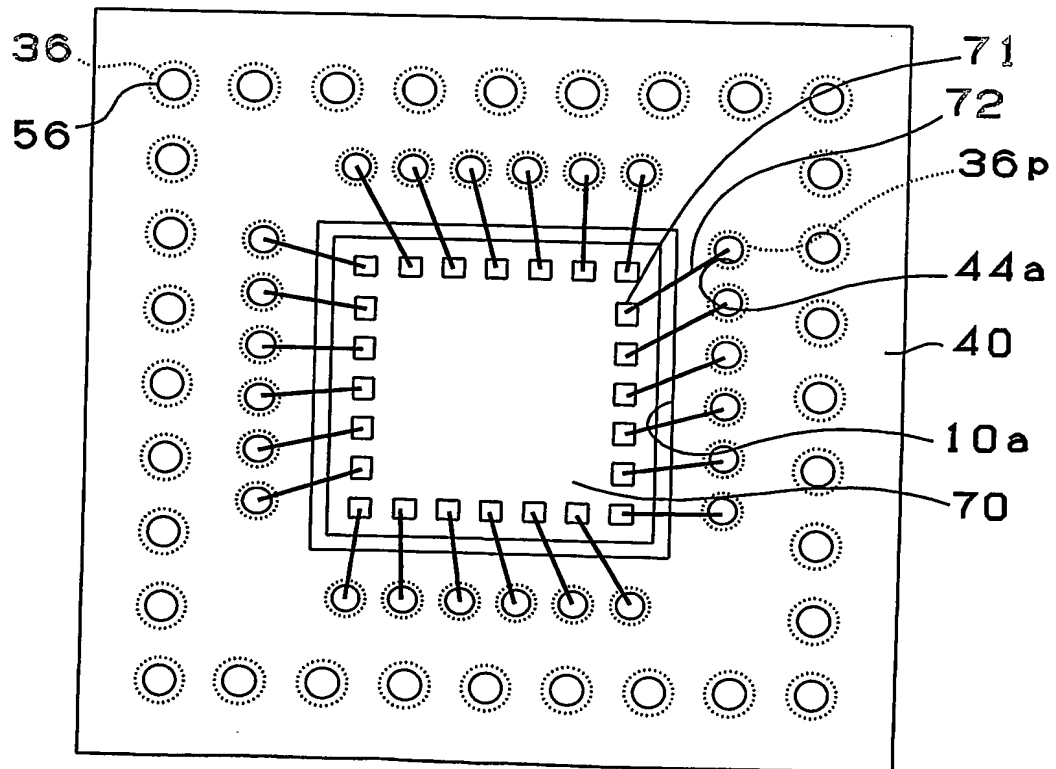
(B)



22/24
第22図
(A)



(B)



23/24

第23図

分類	インダクタンス (pH)	サイクル数			
		500	1000	2000	3000
実施例2	84	○	○	○	○
実施例2の改変例1	83	○	○	○	○
実施例2の改変例2	84	○	○	○	○
実施例2の改変例3	83	○	○	○	△
実施例2の改変例4	83	○	○	○	△
実施例2改1	87	○	○	○	△
実施例2改2	86	○	○	○	△
実施例2改3	84	○	○	△	▲
比較例3	91	○	△	×	×
比較例4	92	○	△	▲	×

○：全ピース導通試験問題なし

△：1－2ピースで短絡発生

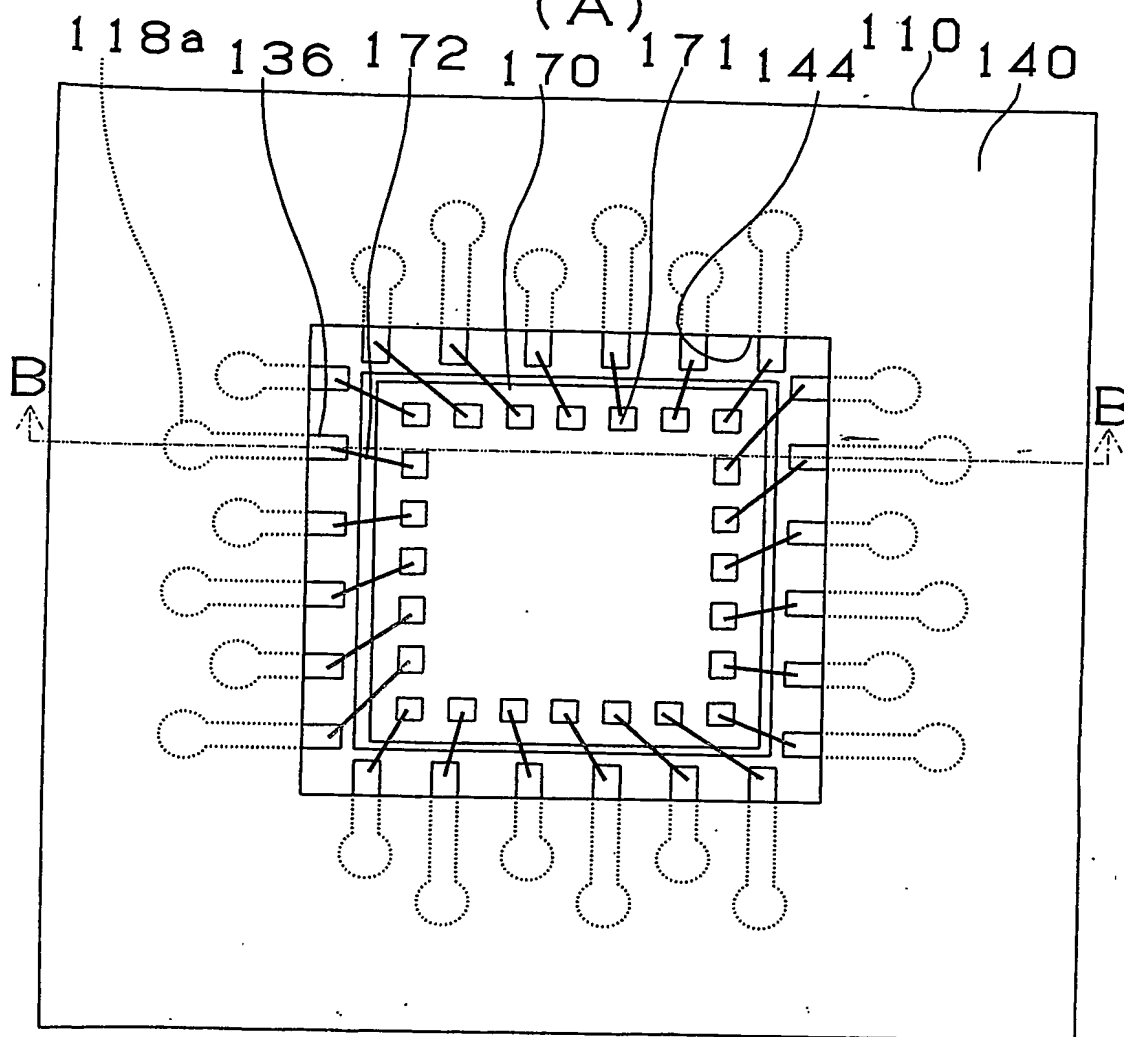
▲：3－4ピースで短絡発生

×：全ピースで短絡発生

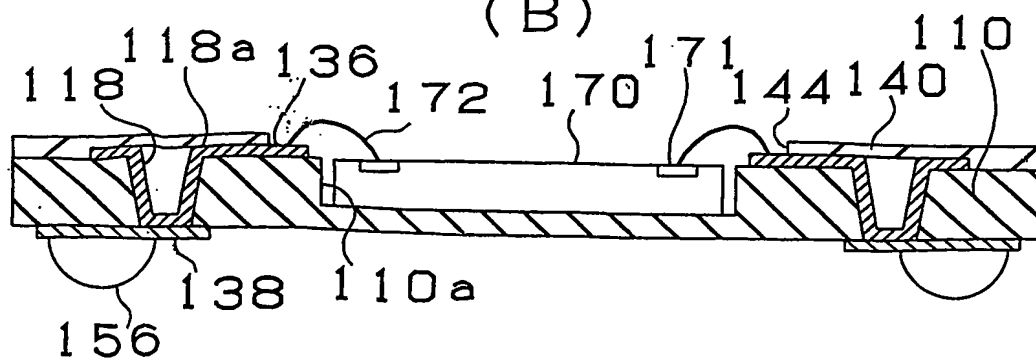
24/24

第24図

(A)



(B)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001233

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L25/10, H01L25/11, H01L25/18, H01L23/12, H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L25/10, H01L25/11, H01L25/18, H01L23/12, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-271025 A (Ibiden Co., Ltd.), 20 September, 2002 (20.09.02), Par. Nos. [0052] to [0062]; Figs. 7 to 9 (Family: none)	1, 3 13, 15-17
X Y	JP 2000-332057 A (NGK Spark Plug Co., Ltd.), 30 November, 2000 (30.11.00), Par. Nos. [0033] to [0054]; Figs. 6 to 10 (Family: none)	1, 3, 5 6, 13, 15-17
X Y	JP 11-168150 A (Mitsubishi Electric Corp.), 22 June, 1999 (22.06.99), Par. Nos. [0022] to [0023], [0028] to [0030] (Family: none)	2 13, 14, 16, 17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 April, 2004 (22.04.04)

Date of mailing of the international search report
18 May, 2004 (18.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001233

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-332057 A (Matsushita Electric Industrial Co., Ltd.), 30 November, 2000 (30.11.00), Par. Nos. [0033] to [0037]; Fig. 6 (Family: none)	1, 2 16, 17
X Y	JP 2001-230515 A (Matsushita Electric Industrial Co., Ltd.), 24 August, 2001 (24.08.01), Par. Nos. [0028] to [0038]; Figs. 1, 6 (Family: none)	1, 2, 4, 5 6, 14, 16, 17
X Y	JP 2001-332866 A (Matsushita Electric Industrial Co., Ltd.), 30 January, 2001 (30.01.01), Par. Nos. [0044] to [0049] (Family: none)	1, 5 6
Y	JP 2001-15932 A (Ibiden Co., Ltd.), 19 January, 2001 (19.01.01), Par. Nos. [0036] to [0040] (Family: none)	6, 9, 10, 12
X Y	JP 7-263869 A (Ibiden Co., Ltd.), 13 October, 1995 (13.10.95), Par. Nos. [0018] to [0036] (Family: none)	7, 13, 14 9-12, 15
X Y	JP 2002-362937 A (Kyocera Corp.), 18 December, 2002 (18.12.02), Fig. 1; Par. Nos. [0047] to [0055] (Family: none)	7 11-15
X Y	JP 63-234552 A (Shinko Electric Industries Co., Ltd.), 29 September, 1988 (29.09.88), Page 1, right column, line 18 to page 2, upper left column, line 20; page 2, lower left column, line 14 to page 3, lower left column, line 18 (Family: none)	7 10, 11
X	JP 63-47961 A (Mitsubishi Electric Corp.), 29 February, 1988 (29.02.88), Page 1, right column, line 3 to page 2, upper left column, line 11; Figs. 2, 4B (Family: none)	8
Y	JP 2000-77454 A (Rohm Co., Ltd.), 14 March, 2000 (14.03.00), Par. No. [0023] (Family: none)	11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001233

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-299775 A (Kyocera Corp.), 11 October, 2002 (11.10.02), Par. No. [0004]; Fig. 5; Par. Nos. [0019] to [0038]; Fig. 1 (Family: none)	7 10
Y	JP 2002-236229 A (Ibiden Co., Ltd.), 23 August, 2002 (23.08.02), Par. No. [0095]. (Family: none)	17
A	JP 11-97583 A (LG Semicom Co., Ltd.), 09 April, 1999 (09.04.99), Par. Nos. [0013] to [0020]; Figs. 1, 2, 3, (A) to (D), 4, (A) to (C) & US 6137163 A & CN 1211821 A & DE 19802347 A1 & KR 99025444 A	1-17
X	JP 2002-100870 A (Ibiden Co., Ltd.), 05 April, 2002 (05.04.02), Par. Nos. [0041], [0042]; Fig. 7 & WO 00/27786 A1 & EP 1321980 A1	1

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001233

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Whereas, as described on the extra sheet, for a group of inventions in claims to fulfill the requirement of unity of invention, there must exist special technical features for linking the group of inventions so as to form a single general inventive concept, claims in this international application describe 12 inventions classified as 1 and 3, 2, 4, 5 and 6, 7 and 11, 8, 9 and 12, 10, 13 and 15, 14, 16, 17.
(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☒ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001233

Continuation of Box No.III of continuation of first sheet (2)

Whereas for a group of inventions to fulfill the requirement of unity of invention, there must exist special technical features for linking the group of inventions so as to form a single general inventive concept, a group of inventions in claims 1-17 are linked only in term of a matter that " a multiplayer printed wiring board for mounting electronic components thereon".

However, since the above matter is disclosed in prior-art documents, for example, JP 2002-271025 A (Ibiden Co., Ltd.) 20 September, 2002 (20.09.02) (hereinafter called document 1) and JP 2000-332057 A (NGK Spark Plug Co., Ltd.) 30 November, 2000 (30.11.00) (hereinafter called document 2), it cannot constitute a special technical feature.

Therefore, there exist among a group of inventions in claims 1-17 no special technical features for linking the group of inventions so as to form a single general inventive concept. Accordingly, it is clear that the group of inventions in claims 1-17 do not fulfill the requirement of unity of invention.

Next, the number of groups of inventions, that is, the number of inventions described in the claims of this international application and liked so as to form a general inventive concept will be studied. According to a general inventive concept, claims in this international application describe 12 inventions classified as 1 and 3, 2, 4, 5 and 6, 7 and 11, 8, 9 and 12, 10, 13 and 15, 14, 16, 17.

Although inventions in claims 1-6, 16, 17 are linked in terms of a matter that "a multiplayer printed wiring board mounting electronic components thereon and having external terminals, wherein the external terminals are disposed on the opposite surfaces", since the above matter is disclosed in prior-art documents, for example, document 1 and document 2, it cannot constitute a special technical feature.

Although inventions in claims 7-15 are linked in terms of a matter that "a multiplayer printed board for wire-bonding electronic components to be mounted from a bonding pad, wherein, in a substrate where a conductor circuit is formed on one or both surfaces of an insulation material and a conductive material is filled in a non-through-hole leading to the conductor circuit, a conductor circuit immediately above the non-through-hole is used as the bonding pad", this matter is also disclosed in prior-art documents, for example, JP 2002-362937 A (Kyocera Corp.) 18 December, 2002 (18.12.02) and JP 63-234552 A (Shinko Electric Industries Co., Ltd.) 29 September, 1988 (29.09.88) and therefore it cannot constitute a special technical feature. In addition, no other matter for linking a plurality of inventions can be found.

Therefore, claims in this international application describe 12 inventions classified as 1 and 3, 2, 4, 5 and 6, 7 and 11, 8, 9 and 12, 10, 13 and 15, 14, 16, 17.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L25/10, H01L25/11, H01L25/18,
H01L23/12, H05K 3/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L25/10, H01L25/11, H01L25/18,
H01L23/12, H05K 3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2002-271025 A (イビデン株式会社) 2002.09.20	1, 3
Y	【0052】 - 【0062】 【図7】 - 【図9】 (ファミリーなし)	13, 15-17
X	J P 2000-332057 A (日本特殊陶業株式会社) 2000.11.30	1, 3, 5
Y	【0033】 - 【0054】 【図6】 - 【図10】 (ファミリーなし)	6, 13, 15-17

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

22.04.2004

国際調査報告の発送日

18.5.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
今井 拓也

4 R

9169

電話番号 03-3581-1101 内線 3469

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 11-168150 A (三菱電機株式会社) 1999.06.22	2
Y	【0022】-【0023】【0028】-【0030】 (ファミリーなし)	13, 14, 16, 17
X	J P 2000-332057 A (松下電器産業株式会社) 2000.11.30	1, 2
Y	【0033】-【0037】【図6】 (ファミリーなし)	16, 17
X	J P 2001-230515 A (松下電器産業株式会社) 2001.08.24	1, 2, 4, 5
Y	【0028】-【0038】【図1】【図6】 (ファミリーなし)	6, 14, 16, 17
X	J P 2001-332866 A (松下電器産業株式会社) 2001.1.30	1, 5
Y	【0044】-【0049】 (ファミリーなし)	6
Y	J P 2001-15932 A (イビデン株式会社) 2001.01.19 【0036】-【0040】 (ファミリーなし)	6, 9, 10, 12
X	J P 7-263869 A (イビデン株式会社) 1995.10.13 【0018】-【0036】	7, 13, 14
Y	(ファミリーなし)	9-12, 15
X	J P 2002-362937 A (京セラ株式会社) 2002.12.18 【図1】【0047】-【0055】	7
Y	(ファミリーなし)	11-15
X	J P 63-234552 A (新光電気工業株式会社) 1988.09.29	7
Y	第1頁右欄第18行-第2頁左上欄第20行、 第2頁左下欄14行-第3頁左下欄第18行 (ファミリーなし)	10, 11

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 63-47961 A (三菱電機株式会社) 1988.02.29 第1頁右欄第3行-第2頁左上欄第11行、第2図、第4図B (ファミリーなし)	8
Y	JP 2000-77454 A (ローム株式会社) 2000.03.14 【0023】 (ファミリーなし)	11
X	JP 2002-299775 A (京セラ株式会社) 2002.10.11 【0004】 【図5】 【0019】 - 【0038】 【図1】	7
Y	(ファミリーなし)	10
Y	JP 2002-236229 A (イビデン株式会社) 2002.08.23 【0095】 (ファミリーなし)	17
A	JP 11-97583 A (エルジー セミコン カンパニー リミテッド) 1999.04.09 【0013】 - 【0020】 【図1】 【図2】 【図3】 (A) - (D) 【図4】 (A) - (C) &US 6137163 A &CN 1211821 A &DE 19802347 A1 &KR 99025444 A	1-17
X	JP 2002-100870 A (イビデン株式会社) 2002.04.05 【0041】 【0042】 【図7】 &WO 00/27786 A1 &EP 1321980 A1	1

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

(特別ページ) に記載したように、請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、1及び3、2、4、5及び6、7及び11、8、9及び12、10、13及び15、14、16、17に区分される12個の発明が記載されている。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☒ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(第Ⅲ欄のつづき)

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1～17に記載されている一群の発明は、「電子部品が実装された多層プリント配線板」であるという事項でのみ連関していると認める。

しかしながら、上記事項は、先行技術文献、例えば、JP 2002-271025 A (イビデン株式会社) 2002.09.20 (以下、文献1という) や JP 2000-332057 A (日本特殊陶業株式会社) 2000.11.30 (以下、文献2という) 等、に記載されているため、特別な技術的事項とはなり得ない。

そうすると、請求の範囲1～17に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別の技術的事項は存在しないこととなる。そのため、請求の範囲1～17に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数を検討するに、一般的発明概念からして、この出願の請求の範囲には、1及び3、2、4、5及び6、7及び11、8、9及び12、10、13及び15、14、16、17に区分される12個の発明が記載されていると認める。

これら発明の内、請求の範囲1～6、16、17に記載されている発明は、「電子部品が実装され、外部端子を有する多層プリント配線板において、前記外部端子を両面に配置した多層プリント配線板」であるという事項で一応連関しているものの、この事項も先行技術文献、例えば、文献1、文献2 等、に記載されているため、特別な技術的特徴とはなり得ない。

また、請求の範囲7～15に記載されている発明は、「実装する電子部品に対してボンディングパッドからワイヤーボンディングする多層プリント配線板において、絶縁材料の片面もしくは両面に導体回路が形成され、導体回路へ至る非貫通孔に導電性材料が充填された基板で、前記非貫通孔の直上の導体回路を前記ボンディングパッドとして用いる多層プリント配線板」であるという事項で一応連関しているものの、この事項も先行技術文献、例えば、JP 2002-362937 A (京セラ株式会社) 2002.12.18 や JP 63-234552 A (新光電気工業株式会社) 1988.09.29 等に記載されているため、特別な技術的事項とはなり得ない。また、他に複数の発明を連関させている事項は見いだし得ない。

そうすると、この国際出願の請求の範囲には、1及び3、2、4、5及び6、7及び11、8、9及び12、10、13及び15、14、16、17に区分される12個の発明が記載されていると認める。